

=====

Nov.2.2016. k.furukawa

[A] Revolution clock の生成

\* EVG 側

(A1) RF Clock の Divider を 5 として Event clock を生成する

(A2) Multiplexed counter を 46 として Distributed bus #0 に接続する

\* EVR 側

(A3) Distributed bus #0 を 出力に接続する

(A4) Revolution clock (RF/230) を確認する

[B] BPM 用信号の生成

\* EVG 側

(B1) AC divider/phase-shifter を bypass する

(B2) Sequencer RAM 1 に、Event clock 46 個毎に例えば 4 回 Event #1 を、そして最後に End sequence code 0x7f を書いておく

(B3) Sequencer RAM 1 を Not single、Recycle とする

\* EVR 側

(B4) Event #1 を出力に接続する

(B5) AC 入力から始まる Revolution clock (RF/230) を確認する

---