

KEKB 入射器におけるタイミング配信システム監視用 TDC の開発

DEVELOPMENT OF TDC MODULE FOR MONITORING A TIMING DISTRIBUTION SYSTEM AT THE KEKB INJECTOR LINAC

諏訪田剛^{#, A), B)}, 宮原房史^{A)}, 庄子正剛^{C)}, 池野正弘^{C)}, 田中真伸^{C)}

Tsuyoshi Suwada^{#, A), B)}, Fusashi Miyahara^{A)}, Masayoshi Shoji^{C)}, Masahiro Ikeno^{C)}, Manobu Tanaka^{C)}

^{A)} Accelerator Laboratory, High Energy Accelerator Research Organization (KEK),

^{B)} Department of Accelerator Science, Graduate University for Advanced Studies (SOKENDAI),
Oho, Tsukuba, Ibaraki 305-0801, Japan

^{C)} Institute of Particle and Nuclear Studies, High Energy Accelerator Research Organization (KEK),
1-1 Oho, Tsukuba, Ibaraki 305-0801, Japan

Abstract

A new Field-Programmable Gate Array (FPGA)-based Time-to-Digital Converter (TDC) with a wide dynamic range of more than 20 ms has been developed to monitor the trigger timing signals in the timing distribution system of the KEKB injector linac towards the Super KEK B-factory project (SuperKEKB). Various pulse devices, high-power klystrons, pulse magnets, electron gun, and beam monitors, *etc.* are working well in the injector linac operation. These pulse devices are driven by feeding not only regular but also any irregular (or event-driven) timing pulses. The number of the timing and control parameters is more than one hundred. The timing signals are distributed to the pulse devices along the linac beam line with optical fibers based on the parameters to be set pulse-by-pulse in the event-based timing and control system within 20 ms (or 50 Hz). The 16-ch VME-based TDC has been implemented on a Xilinx Spartan-6 FPGA equipped on board with a time resolution of 1 ns. The time resolution was achieved by applying so-called 4× Oversampling technique, and the precision was obtained to be less than 0.5 ns within a dynamic range of 2 ms. The various nonlinear effects were improved by implementing an external clock with a built-in temperature compensated crystal oscillator and with a high-precision and low jitter. Although the event-based timing system is successfully working, we have no sufficient systems to monitor the timing signals with higher reliability. This is a reason why we developed the new TDCs with high precision. In this report, the details of the basic design, developments, and obtained experimental results are reported.

1. はじめに

KEKB 入射器ではイベントシステムと呼ばれるタイミング配信システムを利用して電子銃、RF 励振系、パルス電磁石、ビームモニター等の各種パルスデバイスに対しタイミング信号を配信している。本システムは、VME64x 上で動作する市販のシステムであるが、ソフトウェアの変更により複雑なタイミング信号の配信スキームを柔軟に組み込むことができる。現在、本システムは安定して稼働しており、次期計画 SuperKEKB[1]に向けた入射器増強と高度化に対応して新たな開発が進行中である[2]。

KEKB 運転当時(2010 年 6 月 30 日停止)、入射器の役割は安定した電子及び陽電子ビームを 4 つの異なる下流のリング(KEKB LER 3GeV, HER 8GeV, PF 2.5GeV, PF-AR 3GeV)へ供給することにあった[3]。当時、PF 及び PF-AR へは 1 日 2 回の定時入射が行われ、KEKB へは約 90 分ごとに随時入射が行われていた。各リングで行われる実験効率を向上させるためにトップアップ入射の必要性が議論され、2004 年 6 月にその実現に向けた開発が始まった[4,5]。2009 年 4 月 PF-AR を省く 3 リング同時トップアップ入射

が初めて実現した[6]。本システムの開発は、このトップアップ入射に向けて始まり、3 リング同時トップアップ入射の実現に大きく貢献した[7]。SuperKEKB に向けては PF-AR 及び陽電子用ダンピングリングを含む 5 リング同時トップアップ入射を実現すべくさらなる開発が進行中である[8,9]。

本論で報告する TDC の開発は、このような複雑なタイミング配信システムの高精度な監視を目的としている。これまで TDC は、市販品を含めて高分解能を目指して高エネルギー実験や原子核実験用に開発されてはいるが、加速器のタイミング配信監視用としては、ダイナミックレンジが狭くそのままでは応用することは難しい。しかし、近年の高速 FPGA の登場が広ダイナミックレンジを有する安価な TDC を可能にした。

2. 入射器におけるタイミング配信システムの概要

本システムの中核は MRF 社[10]が提供するイベントシステムである。このシステムは、元々放射光加速器のタイミング配信システムとして開発されたもので、現在では信頼性も向上し世界の加速器業界で広範に利用されている。本システムの技術的な詳細

[#] tsuyoshi.suwada@kek.jp

は[7]を参照してほしい。ここではその動作原理を簡単に説明し、入射器への応用を述べることにする。

イベントシステムは、近年の FPGA とシリアル通信の高速化により初めて実用可能となった。VME64x バス上(CPU MVME5500, OS VxWorks-5.5)で動作するイベントジェネレータ(EVG230)が入射器中央に 1 台置かれる。一方、イベントレシーバ(EVR230RF)は入射器ビームラインに沿って 18 カ所に分散配置される。1 台の EVG の下に複数の EVR がスター状にぶら下がり、EVG からは光分配器を通して専用の光ファイバーにより EVR と接続される。

EVG には入射器の加速周波数 2856MHz の 25 分周である 114.24MHz を外部クロックとして入力し、タイミングを RF に同期させる。EVG からはイベントが 2.3Gb/s のビットレートで EVR に送信される。同時にこのクロックにより EVG と EVR が同期する。

イベントとは、イベントフレームと呼ばれるデータ構造を意味し 16 ビットの情報を意味する。外部クロックに同期した 8 ビットがイベントコードに、残り 8 ビットに分散型同期バスとデータバッファ(最大 2kB)がクロック毎に交互に割り当てられる。

イベントコードにはビームの種類や入射先のリングごとに定義したビームモードが記録されており、EVR はビームモードに応じてあらかじめ決められた遅延時間で EVG のクロックに同期したタイミング信号(NIM 又は TTL)が各種パルスデバイスに送信される[11]。SuperKEKB 運転ではイベントコードによるビームモードの識別に加え、データバッファに各クライストロンの RF 位相情報などを付与し、柔軟で時間精度の高い入射器制御を行う予定である。

本システムのタイミングジッターは、短時間(10 分)であれば 10ps(1 σ)以下の同期精度を達成している。長時間のドリフトや温度特性等の性能評価は現在進行中である。

3. タイミング配信システム監視用 TDC

3.1 要求仕様

本 TDC の開発は、KEK 素粒子原子核研究所の電子工学システムグループ(旧回路室)の協力を得て実現した。これまで、回路室では高エネルギー実験用に様々な高分解能 TDC の開発が進められて来たが、本用途にはダイナミックレンジが小さいという欠点がある。要求仕様は、高エネルギー実験用途とは異なり高精度な時間分解能を要求しない代わりにダイナミックレンジが大きいことにある。

入射器のタイミング配信は、商用電源周波数である 50Hz が基本となる。従って計測すべき最大遅延時間は 20ms である。近年の高速 FPGA では、500MHz を越える動作周波数が可能である。高速化により従来のような複雑なハードウェアによらずともソフトウェアでナノ秒の時間分解能を有する回路を FPGA 上に実現することが可能になっている。

各種パルスデバイスへのタイミング信号に対する要求仕様によるとクライストロンモジュレータとビーム位置モニターに対するタイミング監視が重要である。モジュレータは、50Hz を基本として点火さ

れ、点火タイミングに対する条件は 20 $\pm$ 1ms である。これは、モジュレータの適切な充電時間と十分な電圧安定性を確保するために必要な条件である。従って、この仕様から最大 2ms の遅延時間を監視する必要がある。一方、ビーム位置モニターに対するトリガータイミングは、1ns 程度の時間精度が要求される。この仕様が TDC に要求される時間分解能となる。その他のパルスデバイスに対する遅延時間は最大 1ms 程度である。従って TDC への要求仕様として、ダイナミックレンジ 20ms、時間分解能 1ns、精度 1ns(rms、時間レンジ 2ms 以下)を目標とし開発を進めることにした。

3.2 基本設計

時間分解能 1ns を実現するには 1GHz クロックを用いてフリップフロップによる同期カウンターで遅延時間計測を行えばよい。しかしながら、最新の FPGA といえども 1GHz クロックを直接動作させることは難しい。これを回避する幾つかの優れた方法[12]が提唱されているが、4 倍過サンプリング法(4 $\times$ Oversampling technique)は、クロック周波数が低くとも時間分解能を高められる方法の 1 つである。

図 1 に 4 倍過サンプリング法の原理を示す。

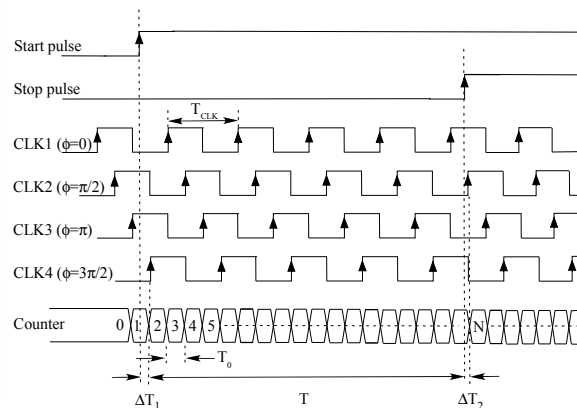


Figure 1: Schematic timing diagram in 4 $\times$ Oversampling technique of the FPGA-based TDC.

スタートとストップパルス間の遅延時間 T の計測は、クロック周期 T_{CLK} でフリップフロップ同期回路を動作させ周期数をカウンターで計測すればよい。ここで、クロックが 1 つだと時間分解能は T_{CLK} が限界を与え、その限界値は $\Delta T_1 + \Delta T_2 \leq 2T_{CLK}$ である。

本 TDC における 4 倍過サンプリング法では、基本クロック(250MHz、周期 T_{CLK})を 4 つ用意し(CLK1, CLK2, CLK3, CLK4)、各クロックの位相を 90 度づつずらしておく($\phi=0, \pi/2, \pi, 3\pi/2$)。4 つの基本クロックの立上がりで、スタートとストップパルスを同期検出すれば 1ns の時間分解能($T_0=T_{CLK}/4$)を得ることができる。これは、基本クロックを 4 定倍した 1GHz クロックによる同期サンプリングと等価であることを示す。

しかしながら、基本クロックのジッター低減や各クロック間の位相調整を FPGA 上に高精度に実現する必要がある。このために、安定度の高いクロック

を FPGA の外に置き Phase-Locked Loop (PLL)を通して内部クロックを同期させてから定倍する方法を採用している。

図 2 に開発された TDC を示し、表 1 にその基本仕様をまとめる。

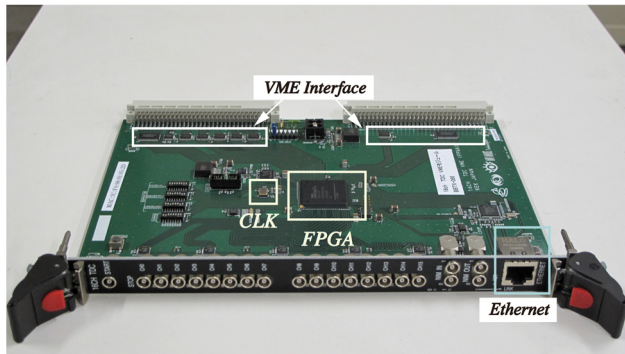


Figure 2: New VME/FPGA-based TDC module.

Table 1: Basic Specifications of VME/FPGA-based TDC Module

基本パラメータ	
時間分解能 [ns]	1
ダイナミックレンジ [s]	4.3 (32bit)
共通スタート入力	1ch/ NIM [50Ω]
ストップ信号入力	16ch/ NIM [50Ω]
マルチストップ数	4
VME 割込み	可
ネットワーク接続	可
FPGA	XILINX Spartan-6 XC6SLX75
内部 CLK	250 MHz
外部 CLK	EPSON TG-5501CA (50MHz, TCXO)

図 2 からわかるように本 TDC の基本構造は至って単純で FPGA、外部クロック(CLK)と VME インタフェースが主構成部品である。FPGA の中に全ての機能がコード化されているので基板上では配線を追うことすらできない。

本 TDC の特徴を以下にまとめる。

- (1) 共通スタート入力 1 ch に対しストップ信号入力は最大数 16ch(32 ビット)である。共通スタート信号の時間間隔も計測可能。
- (2) 多バンチ加速に対応したマルチストップが可能。
- (3) SiTCP[13]を FPGA 内にコード化することで VME/CPU が故障してもネットワーク通信(Ethernet)を通してデータ取得や診断が可能。
- (4) FPGA は XILINX Spartan-6 (XC6SLX75, DCM 250MHz)[14]を搭載し、外部クロックは温度補

償型の EPSON TG-5501CA(50MHz, 保証周波数安定度±1ppm, TCXO) [15]を使用。

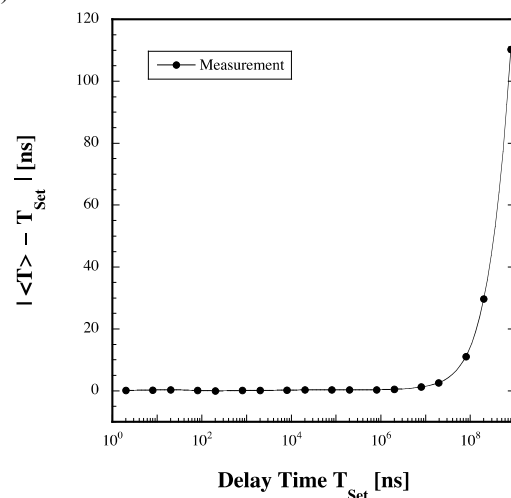
後述するように本 TDC では、温度補償型の高い安定度をもった外部クロックを使用したことにより時間計測精度が大幅に改善したことを触れておく。

4. 特性評価

4.1 遅延時間直線特性

本 TDC の遅延時間測定には、SRS 社の Digital Delay Generator (Model DG645, rubidium time base)[16]を用いて特性評価を行った。DG645 の rms ジッターは 10ps/s である。入射器のイベントシステムは、50Hz を基本周波数とするのでダイナミックレンジとしては 20ms で充分であるが、TDC 自体の特性評価を行うべく最大遅延時間 800ms までの測定を行った。図 3 に遅延時間の設定値に対する測定結果を示

(a)



(b)

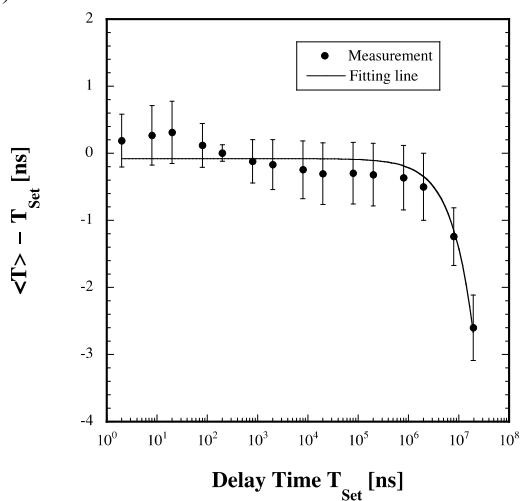


Figure 3: Variations in the time difference of the measured delay time to the setting delay time, (a) the time range of 800 ms and the solid line shows a guide to the eye only, (b) the time range of 20 ms and the solid line represents a linear fit to the experimental data.

す。縦軸は、遅延時間の設定値(T_{Set})と測定値との差($\Delta T = \langle T \rangle - T_{\text{Set}}$)の絶対値を示す。ここで、測定値は5000回平均値($\langle T \rangle$)である。

図 3(a)の結果から、 $T_{\text{Set}}=20\text{ms}$ を越えると非直線性の効果が顕著になり始め、 $T_{\text{Set}}=20\text{ms}$ では設置値からの差は $|\Delta T|=2.6\text{ns}$ である。また、 $T_{\text{Set}}=800\text{ms}$ ではその差は $|\Delta T|=110\text{ns}$ である。従って、 $T_{\text{Set}}=20\text{ms}$ 以下ではナノ秒の精度が達成可能である。図 3(b)は、図 3(a)を拡大したもので $T_{\text{Set}}=20\text{ms}$ までの測定データを示す。図中の実線は最小自乗法による直線フィットを示す。この時間領域を微細に見ると $T_{\text{Set}}=2\text{ms}$ を越えるあたりから非直線性が始まり、 $T_{\text{Set}}=2\text{ms}$ では $|\Delta T|=0.5\text{ns}$ である。また、 1ns の精度が得られる限界は $T_{\text{Set}}=7.5\text{ms}$ である。

図 4 に $|\Delta T|$ を T_{Set} で除した測定値の精度の遅延時間依存性を示す。図中の曲線は冪関数によるフィットを示す。

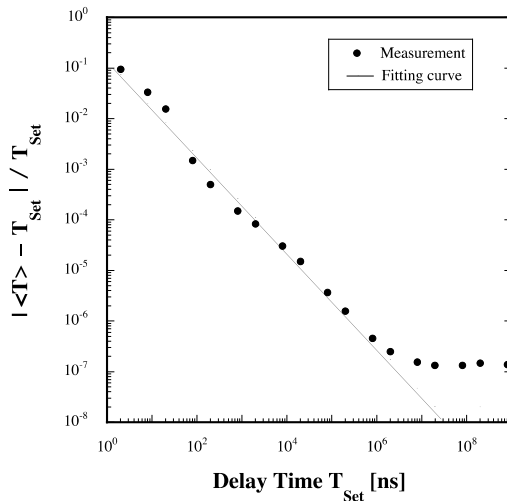


Figure 4: Variations in the time precision of the TDC as a function of the setting delay time. The solid line indicates a power-law fit to the experimental data.

$T_{\text{Set}}=2\text{ms}$ を越えるあたりから精度は飽和に達し $|\Delta T|/T_{\text{Set}}=1.3 \times 10^{-7}$ である。これは $\sim 0.1\text{ppm}$ という精度に相当する。実は、試作 1 号機では $\pm 50\text{ppm}$ クラスの標準的な外部クロックを用いたが精度としては 3.5×10^{-6} が限界であった。試作 2 号機では 1 号機に比べ 1 桁安定度が高く温度補償型の外部クロック(保証値 $\pm 1\text{ppm}$)を用いたところ実力値として精度が 1 桁向上した。従って $T_{\text{Set}}=2\text{ms}$ を越える時間領域での非直線性は外部クロックの安定限界を示すと考えてよい。この結果は、本 TDC の要求精度を十分に満足する。

4.2 測定精度と積分非直線性

図 5(a), (b)に遅延時間測定の測定精度と積分非直線性(INL)の測定結果をそれぞれ示す。測定精度に対する主な誤差要因は量子化誤差に起因する誤差である。遅延時間 T として周期 T_0 で除算した値の小数点を c とすると量子化誤差に起因する遅延時間測定の自乗平均平方根誤差(rms, σ_T)は以下の式で与えられる[12].

$$c = \text{Frc}(T / T_0) \quad (1)$$

$$\sigma_T = T_0 \sqrt{c(1-c)} \quad (2)$$

測定値 T に対し平均値 $\langle T \rangle$ を用いて計算した結果が図 5(a)に示す実線である。計算値は測定値の誤差(rms)をよく再現しており、この時間領域での σ_T の最大値は $\sigma_T^{\text{max}} = 0.5\text{ns}$ である。これは量子化誤差の最大値 $\text{LSB}=0.5$ に対応する。

INL も主に量子化誤差に起因し、通常、測定値と直線フィットとの差の最大値で表される。図 5(b)は最小自乗法による直線フィットからの差をプロットしたものである。最大誤差は、 $T_{\text{Set}}=20\text{ns}$ において $\Delta T=0.39\text{ns}$ が得られた。これは量子化誤差 $\text{LSB} \sim 0.4$ に対応する。このように測定精度と INL に基づく誤差は量子化誤差で説明でき問題無い程度に抑制されていることがわかる。

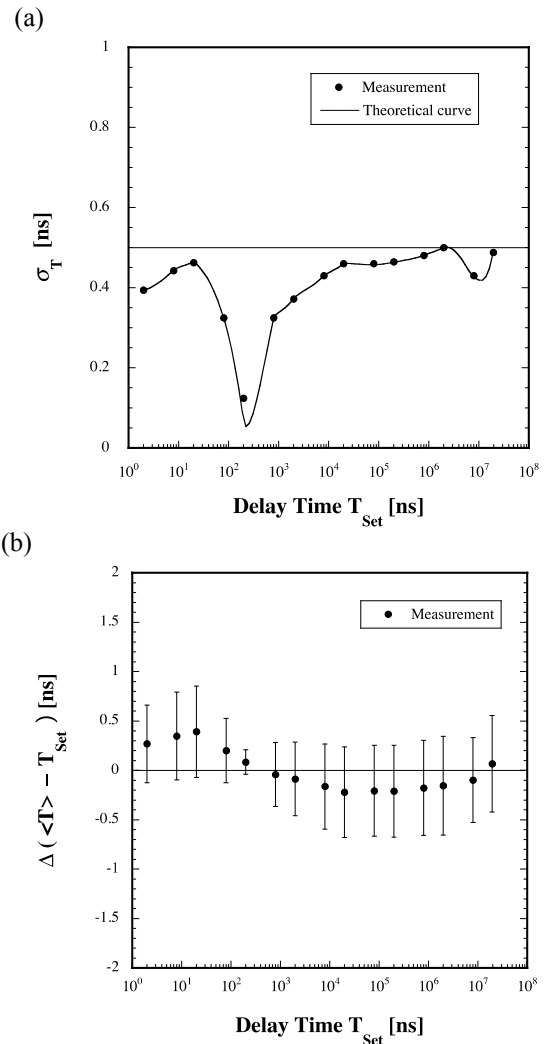


Figure 5: Variations in (a) the precision and (b) integral nonlinearity of the TDC as a function of the setting delay time.

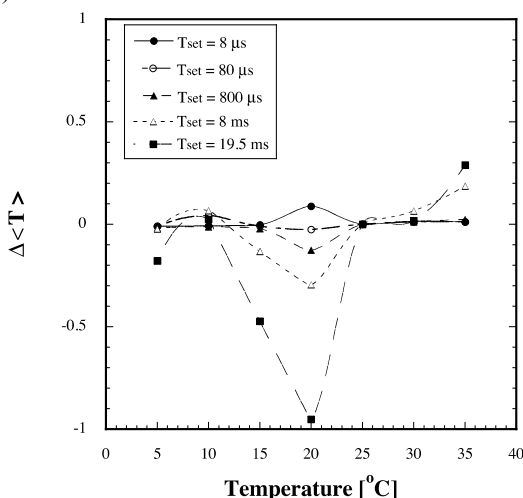
4.3 温度特性

本 TDC を恒温槽に入れ、温度 $5 \sim 35^\circ\text{C}$ の範囲内で

5°C ごとに変化させながら遅延時間の温度特性を取得した。その結果を図 6 に示す。

図 6(a)に幾つかの遅延時間設定値をパラメータとして平均値 $\Delta\langle T \rangle$ に対する温度依存性を示した。ここで、 $\Delta\langle T \rangle$ は温度 25°C(室温)における平均値を基準としてその差を表している。温度依存性は、単調な関数で表すことができず、特徴的な変化を示している。この変化は温度補償型外部クロックの温度補償パターンであろうと考えられる。この結果、温度依存性は問題ない程度に抑制されていることがわかる。

(a)



(b)

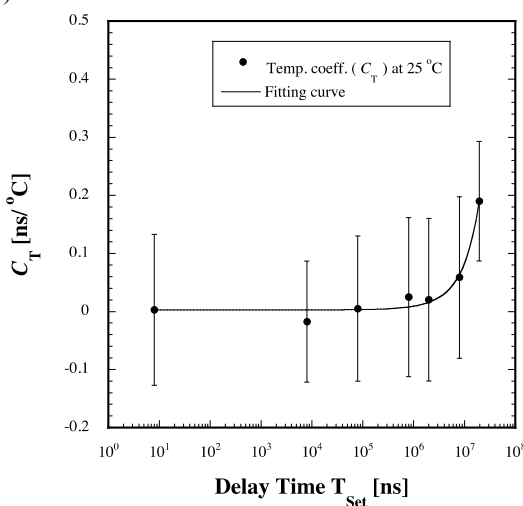


Figure 6: Variations in (a) the difference of the measured delay time to the setting delay time as a function of temperature and in (b) the differential coefficient to temperature as a function of the setting delay time. Here, in (a), the data are shown as the differential from the reference data measured at 25°C. The solid lines indicate (a) a guide to the eye only, and (b) a 2nd-order polynomial fit to the experimental data.

図 6(b)に温度 25°C(室温)における温度微係数(C_T)の遅延時間に対する変化を示した。微係数の大きさは $T_{Set}=20\text{ms}$ で $\sim 0.2\text{ns}/^\circ\text{C}$ 程度と問題無い程度に抑制されている。クライストロンギャラリーの温度は、

空調のオン・オフ制御により $\pm 0.5^\circ\text{C}$ 以内に安定化されている。従って、温度変化に伴う誤差は最大でも $T_{Set}=20\text{ms}$ で $\sim 0.2\text{ns}$ と予想される。本誤差は量子化誤差に比べても小さく、問題ない程度に抑制することが可能である。

5. まとめ

入射器のタイミング配信システムは、順調に稼働しているが、これまで満足のゆくタイミング監視システムがなかった。高速 FPGA を搭載する TDC を新たに開発し特性評価を行った結果、本システムの要求仕様を充分満足することを確認した。今後は、量産体制に移行しシステム全体の構築を行う予定である。

謝辞

本研究にあたり、KEK 加速器研究施設の一宮亮博士には、外部クロックの選定に貴重な助言を頂きました。三菱電機システムサービス(株)の草野史郎氏には、Ethernet によるデータ取得プログラムの作製をして頂きました。また、Bee Beans Technologies (株)の石綿将邦氏には FPGA コードについて御説明を頂きました。ここに感謝を申し上げます。

参考文献

- [1] Y. Ohnishi, *et al.*, Prog. Theor. Exp. Phys. (2013) 03A011.
- [2] K. Furukawa, *et al.*, *Proceedings of the ICALEPCS2013*, San Francisco, CA, USA, pp. 1497-1500.
- [3] M. Akemoto, *et al.*, Prog. Theor. Exp. Phys. (2013) 03A002.
- [4] 佐藤政則, 日本加速器学会誌 第 3 巻 2 号 2006, p. 171.
- [5] 佐藤政則, 日本加速器学会誌 第 5 巻 2 号 2008, p. 144.
- [6] N. Iida, *et al.*, *Proceedings of the PAC'2009*, Vancouver, BC, Canada, pp. 2769-2771.
- [7] K. Furukawa, *et al.*, *Proceedings of the 6th PASJ*, JAEA, Tokai, Aug. 5-7, 2009, p. 511.
- [8] H. Kaji, *et al.*, *Proceedings of the 10th PASJ*, Nagoya University, Nagoya, Aug. 3-5, 2013, p. 207.
- [9] H. Kaji, *et al.*, *Proceedings of the ICALEPCS2013*, San Francisco, CA, USA, pp. 1453-1456.
- [10] Micro-Research Finland Oy, <http://www.mrf.fi/>
- [11] S. Kusano, *et al.*, *Proceedings of the 6th PASJ*, JAEA, Tokai, Aug. 5-7, 2009, p. 472.
- [12] A. Balla, *et al.*, Nucl. Instr. and Meth. A 739 (2014) pp. 75-82.
- [13] T. Uchida and M. Tanaka, *Proceedings of 2006 IEEE Nucl. Sci. Sym. Conf. Rec.* 3, pp. 1411-1414.
- [14] Xilinx Inc., <http://www.xilinx.com/>
- [15] SEIKO EPSON Corp, <http://www.epson.com/>
- [16] Stanford Research Systems, <http://www.thinksrs.com/>