

## SPRING-8 におけるストリップライン型ブルームラインを用いた SiC 半導体高速パルス電源の開発

### DEVELOPMENT OF SiC SOLID-STATE FAST PULSE DRIVER USING STRIPLINE TYPE BLUMELEIN IN SPRING-8

満田史織<sup>#,A)</sup>, 本井傳晃<sup>A)</sup>, 小林和生<sup>A)</sup>, 小林利明<sup>A)</sup>, 佐々木茂樹, 関根則夫<sup>B)</sup>

Chikaori Mitsuda<sup>#,A)</sup>, Teruo Honiden<sup>A)</sup>, Kazuo Kobayashi<sup>A)</sup>, Toshiaki Kobayashi<sup>A)</sup>, Shigeki Sasaki<sup>A)</sup>, Norio Sekine<sup>B)</sup>

<sup>A)</sup> JASRI, Hyogo 679-5198, Japan

<sup>B)</sup> Sekine Electric Works Co. Ltd, Osaka 583-0841, Japan

#### Abstract

In the case of handling an electron beam by bunch-by-bunch and turn-by-turn with a kicker at the SPRING-8, the performances required to a pulsar are short pulse width (<40 ns) and high repetitions (208 kHz). To aim at the fast pulsed current output, the pulsar is put near the load in order to reduce the inductance between pulsar and load. For these purposes to realize the required performances and make the pulsar compact, we developed the prototype Blumlein pulsar as an experimental attempt. The prototype was composed of the solid state switch of SiC power MOSFET and 6 series Blumlein pulse forming networks (BPFNs) made by stripline of 2 m. By connecting the pulsar to coil inductance of 2.5  $\mu\text{H}$ , the 1.2 MW power pulse of 158 ns pulse width, whose output current was 149A, was obtained without any failure by supplying 2 kV high voltage. At 2.5 kpps burst repetitions under fan-cooling condition, the peak-current jitter of less than 0.1 % was achieved.

#### 1. 開発背景

SPRING-8 蓄積リングには、光学関数の非線形効果の補正のための光学系電磁石が多数設置されており、新たに追加するキッカーに残されたスペースは平均 0.3m 程度である。将来光源加速器においても状況はより厳しくなると思われる[1][2]。そのため、キッカーを挿入する際に要求される性能仕様として、短磁極長でも十分なビーム蹴り角を生成する高出力であり、かつ任意の小スペースに設置可能な電源室を必要としないコンパクトなキッカーシステムであることと、ターンバイターン、バンチバイバンチでビーム制御可能な(ビームチルト法による短パルス光生成などに利用する場合など[3])高速性能の両立が求められる。

第一の要求であるシステムのコンパクト性を、システムを負荷、パルス電源の出力ドライブ部と DC 高圧電源、制御電源部に 3 分割し、出力ドライブ部のみを負荷近傍に設置することで実現を目指している。負荷近傍に出力ドライブ回路を設置することで、負荷・電源間のリード線のインダクタンスが低減され、電源負荷の低減となるため、電源の分割配置との相乗効果でドライブ回路の小型化が可能になる。

第二の要求である高速出力性能は、高耐圧性能に優れているものの、高繰り返し、高速性能、小型化に限界のあるサイクロトロンに代わり、低損失・高速高周波スイッチングが可能で、数 10mm の小型ディスクリットパッケージである半導体パワー MOSFET の導入を進めることで実現を目指している。ただし、パワー MOSFET は 1 素子あたりの高耐圧性能が 1.2kV 程度であるため、サイクロトロン仕様電源並みの高耐圧化を進める場合には素子の多

重多段使用が必要となるため技術的な開発のハードルが高いことが指摘されている。

そこで、SPRING-8 では、多重多段使用を目指した開発を早くに開始し、Si-MOSFET の 2 直 6 並列搭載した 2.4kV 耐圧のスイッチングモジュール[4]を高速補正キッカーのドライブ電源として運用を行って来ている[5]。

今回、このスイッチングモジュールを基本ユニットとし、ドライブ電源のより高速性、高耐圧性、高出力性能を目指すため、ブルームライン型増幅方式の採用を試験的に行った。ブルームライン型パルス整形回路(BPFN)は、パルス長に比例した回路長を有するため、短パルス生成では回路長が短くなり小型化する。十分なスイッチングの高速性能を保証できれば、短パルス生成が回路長規定通りに可能である。

結果、高速スイッチングの半導体 MOSFET と BPFN 回路を組み合わせることは、小型、高速性、高出力性の要求性能を同時に実現する一つの解となる。特に高出力、高繰り返し同時成立は半導体 MOSFET の使用が重要である。本論文は、半導体 MOSFET と BPFN 回路

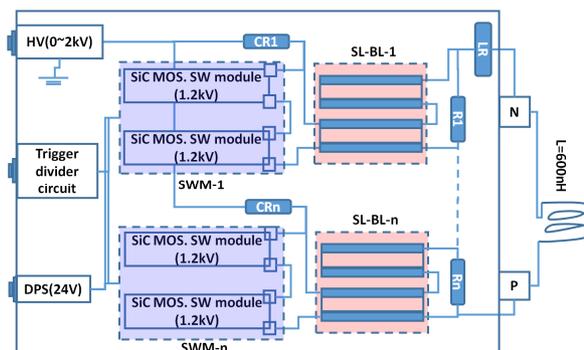


Figure 1: Schematic view of n series BPFNs circuit.

<sup>#</sup> mitsuda@spring8.or.jp

との組み合わせによる高出力・高繰り返し性能の検証を通じて、半導体パワーMOSFET のパルス電源技術への展開の可能性を探る、取り組みを報告する。

## 2. ストリップライン型ブルームライン回路

### 2.1 SiC MOSFET 半導体スイッチングモジュール

試験機の開発にあたり出力性能の目標値は、出力電圧 12kV、出力電流 200A、パルス幅 100ns、繰り返し数 1kHz とした。これらの目標値を実現するために、2kV 入力電圧に対して 6 直列の BPFN を接続し 12kV まで増幅する。各段の BPFN 回路には開発済み 2.4kV 耐圧のスイッチングモジュールを接続することで、出力電圧は 14.4kV まで可能であるが定格の 80%程度で使用することを前提としている。

まず、100ns の出力パルス幅を目指すために、これまで搭載していた Si-MOSFET (IXYS:IXFB30N120P) を、より低い ON 抵抗とより速いスイッチング速度を有する SiC-MOSFET (Rohm: SCH2080KE) へと置換した。これに伴い、SiC のゲート特性に合わせ、ゲートドライブ回路を新たに最適化している。

次に、このスイッチングモジュールを BPFN 回路に接続する際には出来るだけ接続インピーダンスを抑制する必要がある。単体のモジュールとして使用する際には、2 直列 6 並列の MOSFET を円環状に配置し出力端までの経路インピーダンスを低減していたが、BPFN 回路に接続時には、1 直列 6 並列の MOSFET を半円弧状に配置し PFN 回路のシングルラインと接続している。ダブルラインの BPFN 回路全体としては 2.4kV の耐圧性能を維持しつつ、素子配置を変更することで、損失が大きくなる MOSFET から BPFN 回路までの経路インピーダンスの低減を図っている。

Figure 1 に上記スイッチングモジュールを搭載した、負荷に隣接して設置するドライブ回路の概念図を示す。ドライブ回路は、加速器収納部外の保守通路に設置する、高圧 DC 電源、制御電源、トリガー生成器 (DG645)、制御ユニットと 30m のケーブルで GND フローティングの状態 で接続されている。ドライブ回路は前述したように 1.2kV 耐圧のスイッチングモジュール (SW) が総数 12 枚と、6 段のストリップライン (SL) 型 BPFN 回路で構成されている。

1kHz の高繰り返し対応のため、DC 高圧電源からの充電抵抗と (CR)、BPFN 回路の有するキャパシタンス成分と負荷間のインピーダンス整合をとるための放電抵抗 (R) は、それぞれ 100W20k $\Omega$ 、5W50 $\Omega$ ×4 直列である。これらの定数は実負荷接続の元高繰り返し出力試験を行い、抵抗の発熱状態と電流値の計測により最終的に決定した。

ブルームライン回路においては、出力後から開始される LC 共鳴振動で引き起こされる長大なリングングの制御が重要であるため、我々の回路では BPFN 回路からの出力端に制限抵抗 (LR) 回路を設けている。この LR 回路は RC スナバー、3W100 $\Omega$  制限抵抗、超高速ダイオード (IXYS:DSEP30-12CR) より構成されていて、波形整形回路として機能している。

### 2.2 ストリップライン型ブルームライン回路

ブルームライン回路をキッカーマグネットのドライブとし

て利用する場合、電圧増幅だけでなく、高い電流出力を得ることが重要である。そのため、ブルームライン回路のインピーダンスを極力低減するため、ストリップライン型 BPFN 回路を採用した。Figure 2 はストリップライン型シングルラインの模式図を示している。寸法形状は Table 1 に示す通りで、寸法を決定するための設計計算値も示している。正・負電極にあたる 0.1mm 厚の銅平板を、30kV 耐圧を想定した 0.3mm 厚ポリエスチル絶縁フィルムで挟み込んでおり、シングルラインの厚みは 1.1mm 程度で抑えられている。ストリップライン幅はインピーダンスの計算値より決定している。

試作機の製作前に、原理実証機として 3 段ストリップライン型 BPFN 回路の製作を行い、電流出力の原理実証

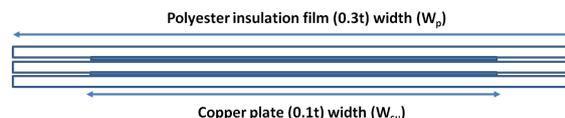


Figure 2: The cross-sectional structure of the stripline type Blumlein. Copper plate lines are sandwiched by the films.

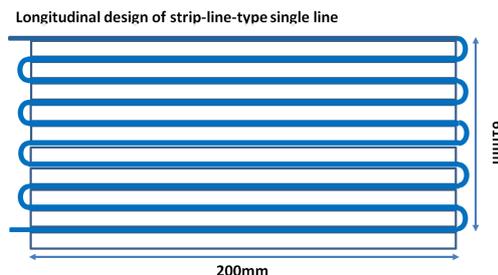


Figure 3: The cross-sectional structure of the stripline type Blumlein held by Bakelite.

を行った。その後 6 段回路では、より高い電圧増幅と、短パルス化を目指し、ストリップライン型 BPFN のインピーダンスを下げるべく、BPFN 回路長を半分、ストリップライン幅を倍増させている。

BPFN 回路製作で通常使用される同軸ケーブルは電

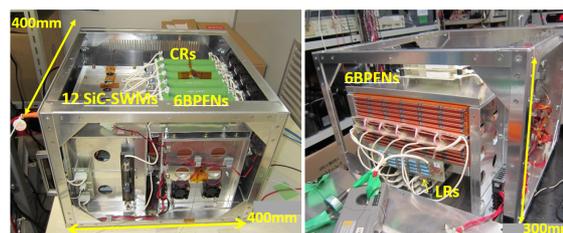


Figure 4: The completed prototype kicker driver with 6 series BPFNs.

源内への格納方法が限られており、冗長な空間を必要とするが、ストリップライン型では、平たく折りたたむことが可能であるため、BPFN 回路の占有する空間を圧縮することが出来る。今回製作の BPFN 回路のシングル回路では 340(W)×5(t)×200(D)のベークライト板を間に挿入しながら折り畳み、6 段シングルラインのパッケージを形成した (Figure 3 参照)。6 段シングルラインのブロックを上下に、出力端を向かい合わせて重ねることで効率よくダブ

ルライン(BPFN)を形成する(Figure 4 右写真参照)。

Figure 4 左写真は、完成した 6 段 BPFN 回路を有するドライブ電源の全体を示している。左手側 SW 回路のパッケージと右手側 BPFN 回路のパッケージが隣接し接合され、右手 BPFN 回路の右写真正面から負荷の出力端へとつながる。完成したドライブ回路は 400(D)×400(W)×300(H)mm の大きさとなり、回路内の出力経路インピーダンスを低く抑えたコンパクトな構造となった。

Table 1: Design Parameters of Single Line for 3 and 6 BPFNs

Parameter/single line	6 series	3 series
W <sub>Cu</sub> (mm)	30	16
W <sub>p</sub> (mm)	40	40
Line length (m)	2.0	4.0
L (nH)	25	94
C (nF)	5.8	6.2
Z (Ω)	2.0	3.9
Transmission velocity (m/s)	1.65 × 10 <sup>8</sup>	
Resonance frequency (MHz)	262.8	
Pulse width for R=40Ω(ns)	24	48
Pulse width for L=600nH (ns)	130	189
Output current for R=40Ω(ns)	317	159
Output current for L=600nH (ns)	139	112

### 3. 動作試験

#### 3.1 6 直列 BPFN 回路特性

Figure 5 に設計想定 of 負荷インピーダンスよりも低いインダクタンス負荷と、純抵抗負荷をつないで得られた最小パルス幅の出力電流波形を示す。充電電圧 100V で、抵抗負荷(Figure 5 右波形)、インダクタンス負荷(Figure 5 左波形)、それぞれに対して、108ns、120ns のパルス幅出力を得た。同条件で、3 段原理実証機回路ではいずれの負荷に対しても 160ns のパルス幅が得られていることと比較し、6 段回路ではより短パルス化し、インダクタンス負荷に対してはほぼ設計値通りの結果となっている。

しかしながら、抵抗負荷に対して、設計計算通りの結果となっておらず、この要因は、BPFN 回路を含む LCR 共振周波数と比較して、MOSFET スwitching速度が同等、それよりも遅くなり、主たる要因になっているためであると考えられる。

また、短パルス化に伴い、出力波形の出力後段のリン

ギングにおけるアンダーシュートが顕著となっているが、これについても波形整形のための制限抵抗回路にあるダイオードの速度が高速性能に追従していないためであると考えられる。

これらのことから、120ns 程度(半値幅 94ns 程度)のパルス生成が最速の半導体 SiC MOSFET スwitchとブルームライン回路を組み合わせた、LC 共鳴回路による短パルス生成の限界点である。

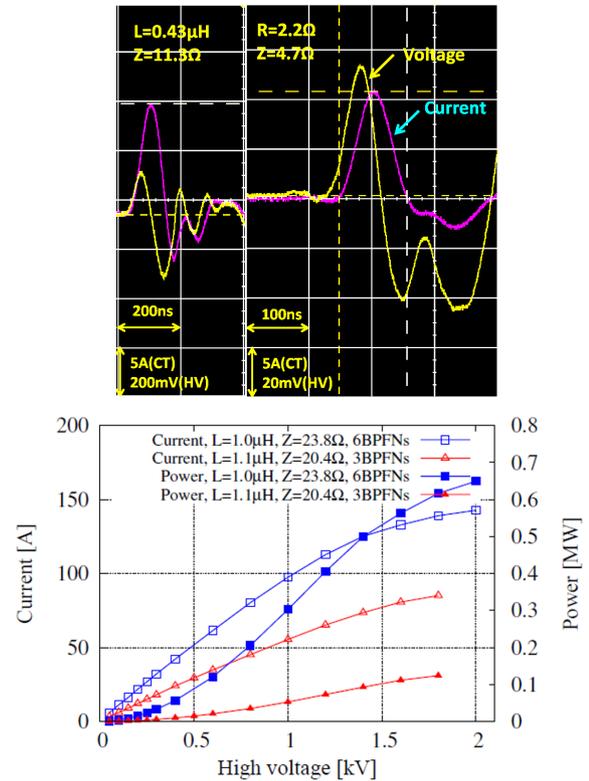


Figure 5: Achieved shortest pulsed current for R-load and L-load. The plots show the high voltage dependency of the output current and power for 3 and 6 series BPFNs.

次に、設計想定 of インピーダンスにおおよそ整合させた典型的な L 負荷に対し、3 段、6 段 BPFN 回路の出力電流及び電力特性を、充電電圧に対して取得した結果を Figure 5 に示す。電流値、電力値いずれも 1.0kV 以上で飽和に向かい、L=600nH の負荷に対する出力電流計算結果とほぼ合致する。電流値の上限は BPFN 回路が有するインダクタンス及びキャパシタンス成分により制限されていると判断できる。

Figure 6 に L 及び R 負荷インピーダンスに対する電力及び電圧利得特性を示す。電圧利得は次式で示す。

$$\text{Efficiency}(\%) = \{V_{\text{output}} / (6 \text{ or } 3 \times V_{\text{supply}})\} \times 100 \quad (1)$$

ここで V<sub>supply</sub> は 100V の充電電圧で、V<sub>output</sub> は実測値である。結果図中より読み取れる、整合インピーダンスは L 負荷、R 負荷に対して、いずれも BPFN 回路の設計インピーダンスと合致が見られなかった。これは、BPFN 回路のキャパシタンス成分の見積もりが実際よりも過小評

価であったことによるものであると考えられる。このことから、ストリップライン型 BPFN 回路の難点は、インピーダンスの正確な制御であることが分かるが、結果としては、6 段 BPFN 回路においても、ストリップライン型を採用することで、回路インピーダンスを小さく維持することが可能になった。

最後に、R 負荷に対するインピーダンス特性では、電圧利得が BPFN 回路の直列数に応じて 3 段から 6 段に正確に 2 倍となっている。また、注目すべき点として L 負荷に対して BPFN 回路のインピーダンスが低く抑えられたことで、80% の高い電圧利得が得られた。

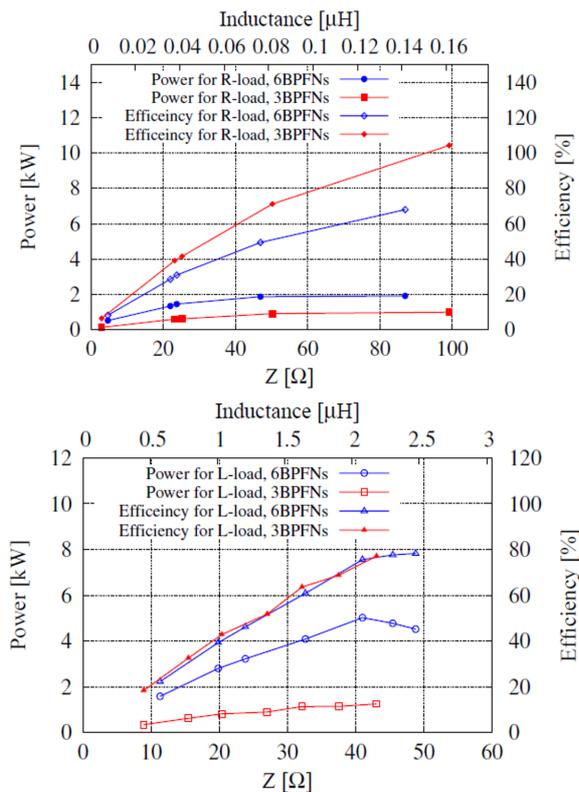


Figure 6: The R and L load impedance dependency of the output power and gain efficiency for the number of BPFNs.

### 3.2 SiC 半導体スイッチのジッター特性

Figure 7 はトリガー点を起点として、電流出力立ち上がり点までの時間ジッターと電流出力パルス幅の時間ジッターの計測結果を横軸バースト繰り返し数でグラフにしたものである。トリガー生成器由来のジッターは 30ps 程度と見積もられている。試作機は 6 段 BPFN 回路に対して、総数 72 個の半導体スイッチを一斉に駆動しているが、1kpps の繰り返しにおいてもビーム制御における運用に耐えられる十分に低い値を維持していることが理解できる (Table 2 参照)。

パルス幅に関しては 1kpps の領域に向かって、ジッター量が増加の傾向が見られる。これは電源と負荷間のインピーダンス整合に関する反射の含有が繰り返し数の増加とともに増加するためと考えられる。図中には示されていないが、逆に、充電電圧が 300V を切る領域でもジッ

ターが増加傾向にあることがわかっており、これは半導体素子の電圧特性によるものと考えられ、低ジッターでの運用には印可電圧は 0.3kV 以上必要であると推察できる。

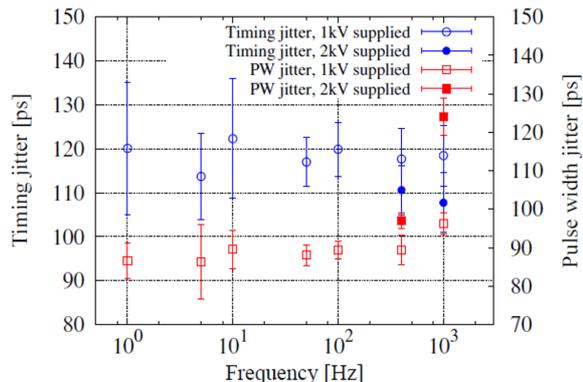


Figure 7: The jitter tendency of the pulse width and fire timing for the burst repetitions.

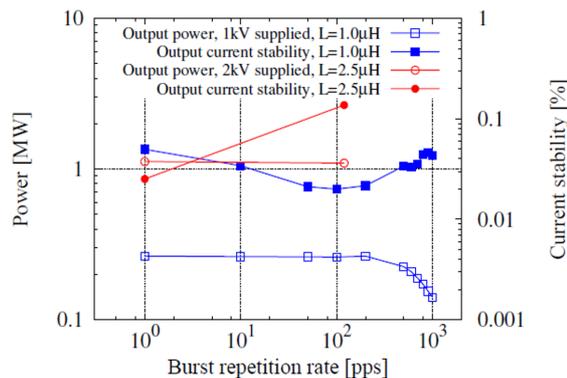


Figure 8: The plots show the power and current stability for burst repetitions before improvements of prototype.

Table 2: Jitters for Pulse Width and Fire Timing

Burst repetition	1000 pps
Firing jitter (ps) at 2kV supply	107.7±6.8
Pulse width jitter (ps) at 2kV supply	124.0±4.8

## 4. 高出力高繰り返し試験

### 4.1 初期 120pps 高繰り返し試験

まず始めに、Figure 8 に試作機のバースト繰り返し数に対する出力電力結果と電流安定度の結果を示す。1.0kV 充電電圧と L=1.0μH の低負荷、2.0kV 充電電圧と L=2.5μH の高負荷を組み合わせられた試験を行い、低負荷試験では 200pps を超過すると電流安定度が徐々に悪化し、出力電力が低下する傾向が見られた。

この際の環境温度に対する温度上昇は、BPFN 回路は 2°C 程度、スイッチング回路は 7°C 程度であったのに対して、充電抵抗の表面温度は 60°C に達した。自然空冷下で充電抵抗の損失が大きい。この時の高負荷試験

では 120pps が上限であった。

高いバースト繰り返しに対して、スイッチングモジュール、BPFN 回路の発熱は無視できるものの、出力電流は充電抵抗に制限されていることが理解できたため、試験結果の発熱量より 1kpps 高繰り返し対応が可能のように、試験機の改造を行った。充電抵抗に対する強制空冷の機構を導入し、充電抵抗の抵抗値、発熱容量、放電抵抗の抵抗値、発熱容量の改善を行った。

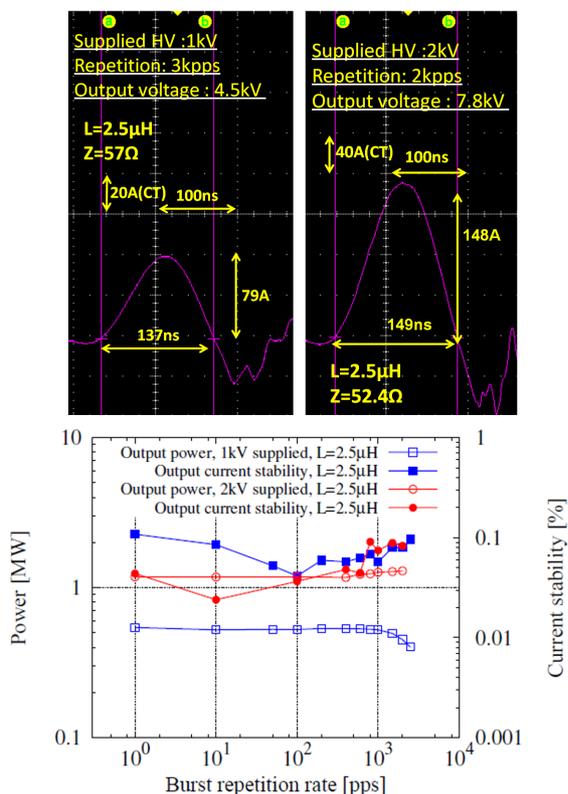


Figure 9: The pulsed current shapes in high burst repetitions at 1 kV and 2 kV high voltage supplying. The plots show the power and current stability for burst repetitions before improvements of prototype.

#### 4.2 試作機改造による 1kpps 高出力高繰り返し試験

Figure 9 には改造試作機による 1kpps までバースト繰り返し数を向上させた結果を示す。1kV、2kV 充電電圧それぞれに対して  $L=2.5\mu\text{H}$  の高負荷試験で実施している。充電抵抗の改善により、高いバースト繰り返し数に対しても充電の追従性がよくなり、1kV 充電電圧では電流値の低下なく 1.5kpps まで、2kV 充電電圧では 2.5kpps まで高繰り返し出力が可能になった。この際の、1kV 駆動で、環境温度に対する温度上昇は充電抵抗で  $17.5^\circ\text{C}$ 、スイッチングモジュールで  $7.8^\circ\text{C}$  であった。2kV 駆動では、温度上昇が比較的目立つようになり充電抵抗で  $47.6^\circ\text{C}$ 、スイッチングモジュールで  $21.4^\circ\text{C}$  である。

最終的に、試作機において、1.2MW の高出力で 2.5kpps の出力を達成した。

### 5. 半導体パルス電源の今後の展望

導入したストリップライン型 BPFN 回路は、低インピー

ダンスを実現し、高効率に電力の出力増幅を実現するに至った。同時に、電源体積における占積率を大幅に下げ、電源の小型化を実現している。

現在、国内供給されている最速のスイッチング速度を有する SiC MOSFET との組み合わせにより、半導体スイッチング速度がほぼ主となる領域まで短パルス化することに成功している。半導体スイッチを導入することにより発熱損失が低く抑えられており、高出力で高い繰り返し数に対応できることが実証された。同時に、ビーム制御の目的に見合う、低ジッターで電源を駆動することも実証された。

半導体パルス電源は、1 素子あたりの耐圧性能、電流容量の拡大に制限があるため、高耐圧化、高出力化には、素子の多重多段に駆動する高い技術開発が必要である。しかしながら、低ジッター、高出力安定度、高繰り返し性能の実現に対しては唯一の技術解となっており、本論文での報告でもそれらの特性を実証するに至った、これらの性能要求に対するパルス電源においては半導体スイッチの搭載が必要不可欠な技術と考えられる。

今後、素子の開発が進み、高耐圧化、高速化、低損失化が、より性能要求に近いものとして入手可能になれば半導体パルス電源の展開は確実なものになると考えられる。

#### 参考文献

- [1] R. Hettel *et al.*, proc. of PAC2013, Pasadena, CA USA, (2013), p19.
- [2] <http://www.lns.tohoku.ac.jp/slitj/about.html>
- [3] C. Mitsuda *et al.*, proc. Of SRI2012, Lyon, France, (2012), Journal of Physics: Conference Series, 425(2013)042012.
- [4] C. Mitsuda *et al.*, proc. Of IPAC'14, Dresden, Germany (2014), p280.
- [5] C. Mitsuda *et al.*, proc. Of IPAC'13, Shanghai, China (2013), p666.