

J-PARC キッカー用 LTD 半導体スイッチ電源

LTD SEMICONDUCTOR SWITCH POWER SUPPLY FOR J-PARC KICKER

高柳智弘^{#, A)}, 小野礼人^{A)}, 堀野光喜^{B)}, 植野智晶^{B)}, 杉田萌^{A)}, 富樫智人^{A)}, 山本風海^{A)}, 金正倫計^{A)}
Tomohiro Takayanagi^{#, A)}, Ayato Ono^{A)}, Koki Horino, Tomoaki Ueno, Moe Sugita^{A)}, Tomohito Togashi^{A)},
Kazami Yamamoto^{A)}, Michikazu Kinsho^{A)}

^{A)} J-PARC/JAEA

^{B)} NAT

Abstract

We are developing a switch power supply using a combination of SiC-MOSFET semiconductors and Linear Transformer Drivers (LTD) circuit to replace the kicker power supply in J-PARC RCS. This power supply consists of two types of circuit boards: a main circuit board for forming rectangular pulses and a correction circuit board for compensating for flat-top droop, which enables high-voltage output and droop compensation for the number of stages connected in a hierarchical series. In addition to the main circuits of the thyatron, PFN, and end-clipper, which are the main circuit board is a single 400 mm x 430 mm board with a reflected wave absorption circuit that can reduce the beam impedance caused by the kicker magnet. In this study, we used 32 main circuit boards with 1.7kV SiC-MOSFETs and 20 correction circuit boards with 100V MOSFETs to achieve the required 40kV and 2kA output rating as a semiconductor power supply for kicker. The evaluation results will be reported.

1. はじめに

J-PARC (Japan Proton Accelerator Research Complex) [1]の RCS キッカー電源[2, 3]を代替する SiC-MOSFET 半導体[4]と誘導電圧重畳回路 (LTD) [5, 6]を組み合わせたキッカー用半導体スイッチ電源の開発を進めている [7-10]。本電源は、矩形パルス形成用の主回路基板とフラットトップのドループを補償する補正回路基板の 2 種類で構成されており、階層的に直列接続した段数分の高電圧出力とドループ補正を可能とする。また、LTD 回路は磁性体コアを用いて制御系の一次側と出力端の二次側を分離している。そのため、多段接続により高電圧が印加される回路基板においても一次側は接地電位となるため、充電と制御の電力供給設計が容易となる。更に、主回路基板は、現行のキッカー電源が別回路で構成しているサイラトロン、PFN、エンドクリップの主要回路に加え、キッカー電磁石由来のビームインピーダンス[11]の低減が可能な反射波吸収回路を 400 mm×430 mm の基板 1 枚で実装している。また、並列回路は低ノイズ均一回路インピーダンスとなる完全放射対称型の構造を有している。

今回、1.7 kV の SiC-MOSFET を使用した主回路基板を 32 枚と、100 V の MOSFET による補正基板を 20 枚使用し、キッカー用半導体電源として必要な 40 kV/2 kA の出力を実現した。評価結果について報告する。

2. キッカーシステム

2.1 現行のキッカー電源

J-PARC の RCS キッカーシステムの電磁石は双子型構造となっており、1 台の電磁石に対し 2 台のパルス出力回路で構成されたパルス電源 1 台で励磁する。このパ

ルス出力回路の 1 台当たり、充電電圧 80 kV、出力電流 4 kA に対応する大電力スイッチングデバイスのサイラトロン (e2V 製 CX1193C) 1 本と、20 Ω×110 m の同軸ケーブル (株式会社フジクラ・ダイヤケーブル製) を用いて 1.0 μs の矩形波パルスを生成する成型回路 (PFN) を 2 台使用している。RCS キッカーシステム全体としては、電源が 8 台、サイラトロンが 16 本、PFN が 32 台となる。

Table 1: Required Specifications for LTD New Kicker Power Supply

Output Voltage	40 kV
Output Current	2 kA
Pulse width (Flat top)	> 1.0 μs
Rise time	< 250 μs
Flat-Top Flatness	±1.0 %
Stability	±0.5 %
Setting deviation	±0.5 %
Repetition Frequency	25 Hz
Number of units required per Kicker Magnet	4

2.2 新キッカー電源

使用するパワー半導体デバイスには従来の Si-IGBT より高耐圧、低スイッチング損失、高速動作に優れた SiC-MOSFET を採用した。また、ベース回路には誘導電圧重畳回路の LTD 回路を使用し、高電圧・大電流のナノ秒オーダー波形制御を可能とする。半導体デバイスを用いた新キッカー電源の主な仕様を Table 1 に示す。

新キッカー電源は、サイラトロン、PFN、エンドクリップ

[#] tomohiro.takayanagi@j-parc.jp

の主要機器を LTD 回路のモジュール基板 1 枚で構成する。これまでは別回路で構成した PFN 用同軸ケーブルの必要が無くなることで、電流伝送路長に起因する回路インピーダンスが半分となる。そのため、充電電圧が 80 kV から 40 kV に半減し、高耐圧絶縁設計が容易になる。半導体デバイスの仕様制限と絶縁基板の製造サイズ限界から LTD 回路電源の 1 ユニット当たりの出力電流は 2 kA となり、キッカー電磁石 1 台に対して LTD 回路電源を 4 ユニット(2 ユニット並列×双子型構成)使用する。さらに、エンドクリップ用として設けた反射波吸収回路を出力時以外は常時 ON として内部抵抗受けとすることで、キッカー電磁石由来のビームインピーダンスを低減する。

3. 新半導体デバイスの LTD 回路

3.1 新型 LTD 回路

主回路用のパワー半導体デバイスにおいて、2019 年型まで使用していた ROHM 製から、2020 型からは CREE 製に変更した。これにより、最大電圧が 1200 V から 1700 V、本設計用に評価した許容電流値[12]が 180 A から 250 A となり、主回路基板 1 枚当たりの出力電圧を高く、且つ、並列回路数を減らすことができた。また、本設計変更により、並列回路の完全な放射対称型を実現した。半導体デバイスの主な仕様を Table 2 に、主回路基板の写真を Fig. 1 に示す。

Table 2: Specifications of the Radially Symmetric LTD Circuit Module Board (Main Circuit Board)

Item	Conventional-Type	New-Type
Manufacturer	ROHM	CREE
Model	SCT3030KL	C2M0045170P
V_{DS}	1200 V	1700 V
$I_{load}(\text{design})$	180 A	250 A
Parallel circuits	15	8

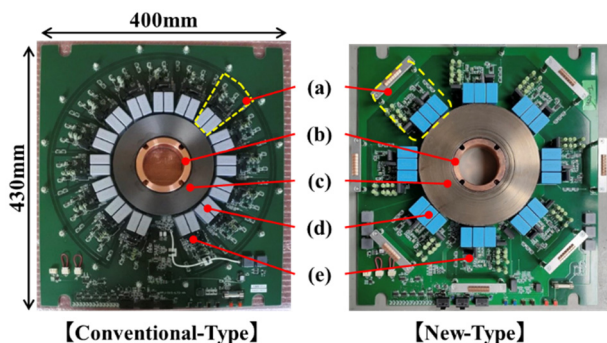


Figure 1: Picture of main circuit board. (a): Parallel circuit, (b): Outer conductor, (c): Magnetic core, (d): Charging capacitor, (e): Semiconductor (SiC-MOSFET).

必要な半導体デバイスの数が 2340 から 768 に、定格 40 kV の出力に必要な主回路基板の枚数が 52 枚から 32 枚に、LTD 回路電源のユニット高さが 2020mm から 1480 mm となり、部品点数の削減、及びよりコンパクトな電源ユニットを実現した。変更になった主な仕様を Table 3 に、出力仕様が 40 kV/2 kA の LTD 回路電源ユニットの外観写真(1 ユニット)を Fig. 2 に示す。

Table 3: Number of Changes for Each Item in Multi-stage Connection Configuration of LTD Power Supply (40kV/2kA)

MOSFET power semiconductors	2340→768	(-1572)
Main circuit board modules	52→32	(-20)
Stage height(mm)	2020→1480	(-540)

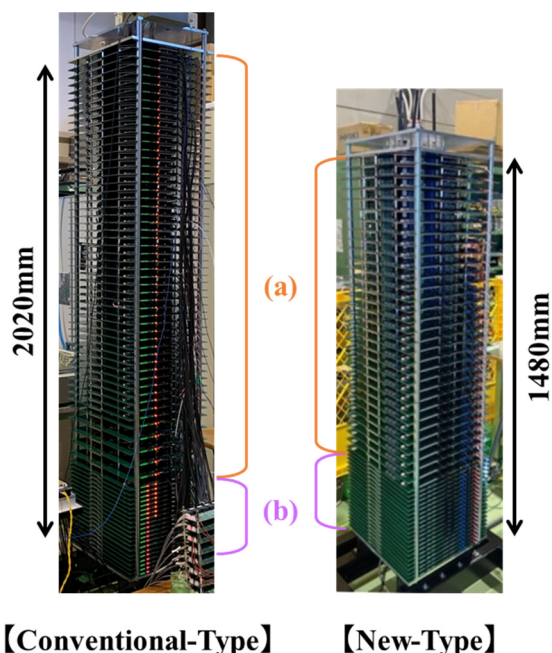


Figure 2: Picture of multi-stage connection configuration of LTD power supply. The output specification is 40 kV, 2 kA. (a): Main-circuit module. (b): Sub-circuit module.

3.2 出力試験結果

100 Ω の抵抗を 5 並列にして 20 Ω とし、出力試験を実施した。測定結果を Fig. 3 に、ドループ補正前後のフラットトップ部の拡大図を Fig. 4 に示す。矩形波パルスの立ち上がり時間が 0.12 μs 、フラットトップ時間が 1.1 μs 、フラットトップ平坦度が $\pm 0.65\%$ となり、キッカー電源としての要求仕様を満足したことを確認した。本内容の詳細については、TUP015 生駒直弥氏 (PPJ) のプロシーディングスを参考にする。

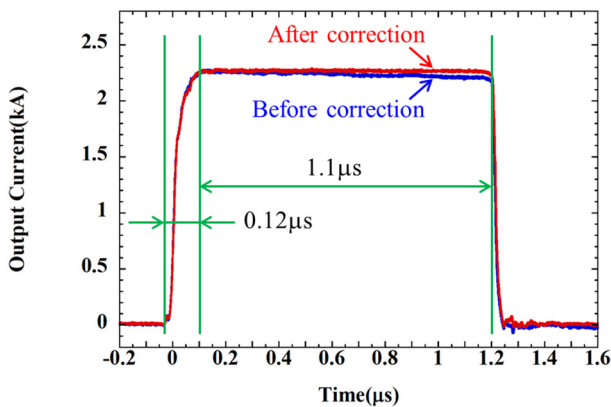


Figure 3: Measurement results of 40 kV output test with dummy load. Droop correction was performed with 20 sub-circuit modules. The charging voltage of the main circuit is set to 1360 V. For Droop correction, the charging voltage of the correction circuit is set from 10 V to 60 V. The rise time is 0.12 μs and the flattop time is 1.1 μs .

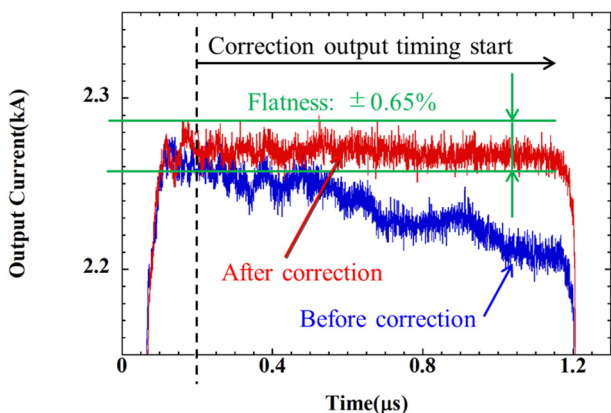


Figure 4: Enlarged view of the flat part in Fig. 3. 20 correction boards are output every 50 μs . Flat top flatness of $\pm 0.65\%$ is achieved.

4. 放電対策

LTD 回路電源の出力試験は主に抵抗器の模擬負荷を使用して性能等を確認してきた。2017 年の 3.8 kV/2 kA から始まり、出力波形、Droop 補正方法、安定度、発熱などを確認し、2019 年には出力電圧が目標の 2 分の 1 モデル (20 kV/2 kA) で試験を行った。この時、実機で使用する同軸ケーブルを接続して出力試験を行ったところ、取り付け部のブッシング内放電が原因と思われる波形の乱れが確認された。その時の測定結果を Fig. 5 に示す。

当初は、LTD 回路の性能と複数の電源ユニットによる並列運転の評価試験を優先に考えており、20 kV 程度であれば空間距離とカプトンシートによる絶縁対策で問題は生じないと考えていた。しかし、実際には同軸ケーブルを接続した場合に限り、波形乱れの現象が発生した。

そこで、評価試験と並行してブッシング部の放電対策に取り組んだ。新ブッシングの概念図を Fig. 6 に示す。同軸ケーブルからの取り付け部を絶縁油に浸すタイプとした。これにより、同軸ケーブルを用いた 40 kV 定格運転においても全く放電が発生しない安定した出力を実現した。同軸ケーブル終端部は短絡とし、ピアソン CT (モデル 110) にて反射波形を測定した結果を Fig. 7 に示す。波形上に確認できるリングングについては次章で述べる。

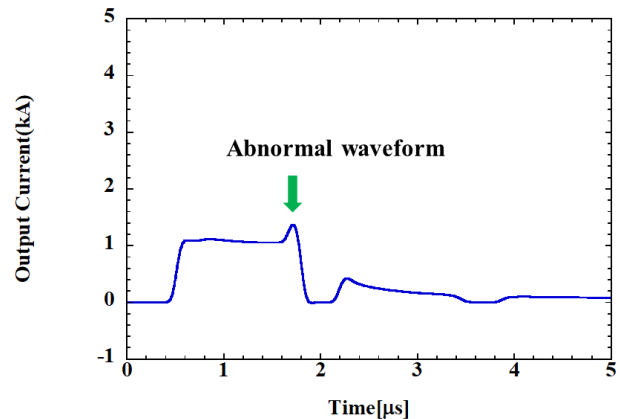


Figure 5: Measurement results of 20 kV output test with 20 Ω coaxial cable load. The pulse waveform shape was distorted due to a discharge at the bushing. This is indicated by the arrow in this figure.

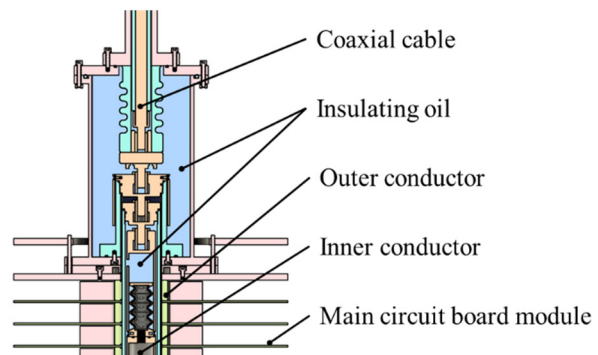


Figure 6: Conceptual diagram of oil-immersed bushing for electrical discharge prevention. The configuration diagram is provided by Mr. Nakata of PPJ.

5. リングング抑制試験

J-PARC の RCS では、キッカーシステムによって 3 GeV に加速されたビームを取り出す。そのため、次の入射が始まるまでの期間 (20 ms) は、RCS の周回軌道上にビームは無い。概念図を Fig. 8 に示す。ビーム取り出しに使用するフラットトップ部の後の励磁波形形状に関しては、生じたアンダーシュートや反射によるリングングなどを改善する要求条件は無い。しかしながら、本 LTD 回路電源を J-PARC MR など他のシステムでの使用を考慮し、リングングの抑制に取り組んだ。

抵抗とコンデンサで構成する補正回路をブッシング部に組み込んだ。概念図と写真を Fig. 9 に示す。20 Ω を基本とし、コンデンサの組み換えにより静電容量を 250 pF、500 pF、800 pF とした場合の抑制効果を確認した。測定結果を Fig. 10 に示す。リングングは 5 分の 1 まで減少し、2 波目についてはリングングが確認できなくなった。

5 分の 1 に減少したリングングをさらに抑制する方法として、出力パルスをリングング部に被せる新しい方法を検証した。主回路基板の1枚分の波形をリングングのタイミングに合わせて出力した結果を Fig. 11 に示す。これより、主回路基板と同等のパルス波形出力モジュール基板をリングングの程度に合わせて追加することで、更なる抑制効果を得られる見通しを得た。

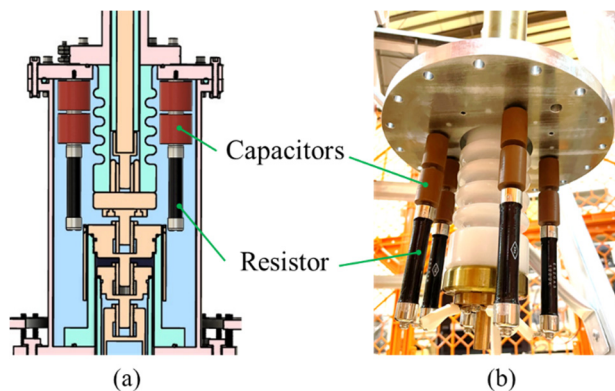


Figure 9: Conceptual diagram and photograph. (a): Compensation circuit for ringing suppression bushing section, (b): picture. Resistance: $100\ \Omega \times 5\ P = 20\ \Omega$, total capacitance: 250 pF, 500 pF, 800 pF. The configuration diagram is provided by Mr. Nakata of PPJ.

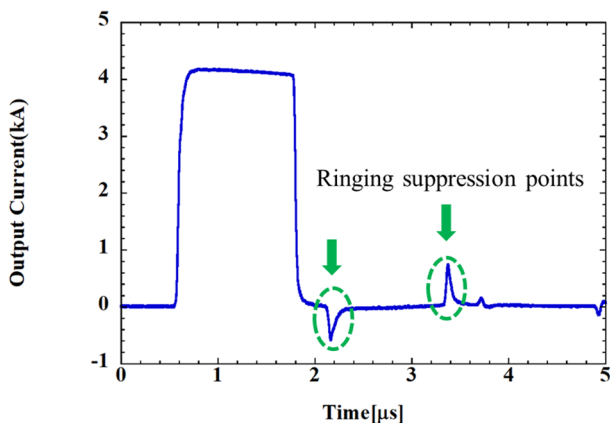


Figure 7: Measurement results of 40 kV output test with $20\ \Omega$ coaxial cable load. Termination is short-circuited. Main circuit charging voltage is 1360 V and compensation circuit charging voltage is 10 V. The locations of the ringing caused by the reflected wave to be suppressed is shown in this figure.

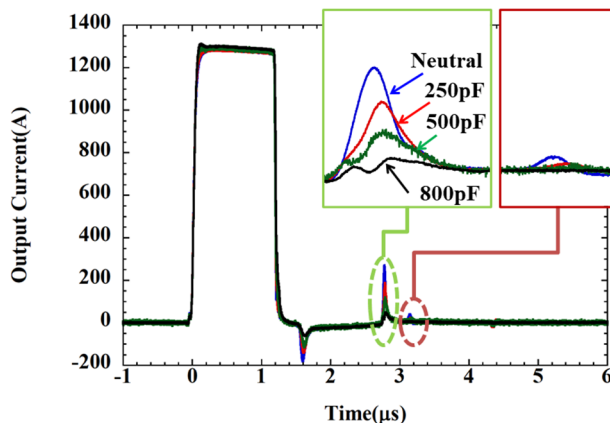


Figure 10: Measurement results of a ringing suppression test using the correction circuit in the bushing. Ringing is suppressed as the total capacitance is increased to 250 pF, 500 pF, and 800 pF.

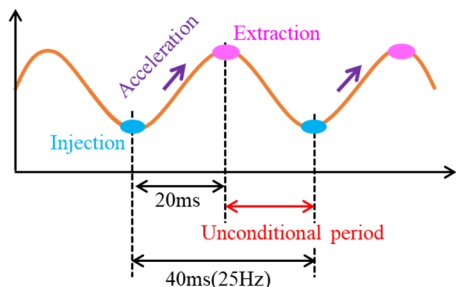


Figure 8: Conceptual diagram of RCS beam injection and extraction. Since the repetition period is 25 Hz, there is no requirement for the 20 ms period after the extraction.

6. まとめ

SiC-MOSFET と LTD 回路を用いた新キッカー電源を開発している。半導体デバイスの電源ユニットとして定格の 40 kV/2 kA に対し、要求仕様を満足したことを確認した。また、同軸ケーブルブッシング部の放電予防策を講じ放電を抑制することができた。さらに、パワー半導体デバイス単体の性能向上に合わせ、LTD 主回路基板を新しく設計した。並列回路の完全な放射対称型構造、構成部品の低減、且つ筐体構造のコンパクト化を実現した。今後は、複数の電源ユニットによる双子型電源の実証と、実機のキッカー電磁石を接続しての連続運転による安定動作の確認、及び、電磁石磁場による評価を実施する予定である。

また、本 LTD 回路電源を他の施設やシステムでの使用を考慮し、パルス出力後に発生するリングングの抑制に取り組んでいる。ブッシング部の補正回路でリングングの大部分を小さくし、そこに専用のパルス出力基板からの出力波形をリングングのタイミングに合わせて被せることで更なる抑制効果が期待できることがわかった。

謝辞

パワー半導体デバイスを用いた LTD 回路電源ユニットの開発と試験に協力頂いた株式会社パルスパワー技術研究所の皆様に深く感謝する。

参考文献

- [1] <https://j-parc.jp/c/index.html>
- [2] J. Kamiya *et al.*, "THE EXTRACTION KICKER SYSTEM OF THE RCS IN J-PARC", Kicker Magnet System of the RCS in J-PARC, IEEE Trans. Appl. Supercond., vol. 16, no. 2, 2006, pp168-171.
- [3] T. Togashi *et al.*, "J-PARC 3GeV RCS キッカー電磁石電源の現状", Proceedings of PASJ2016, MOP117.
- [4] A. Tokuchi *et al.*, "SiC化が進む加速器用高電圧パルス電源の研究", Proceedings of PASJ2017, TUOM02.
- [5] W. Jiang *et al.*, "Pulsed Power Generation by Solid-State LTD", IEEE Transactions on Plasma Science, Vol.42, No.11, Nov. 2014, pp.3603-3608.
- [6] W. Jiang *et al.*, "パワー半導体を利用した高繰り返しパルスパワー電源の進展", J. Plasma Fusion Res. Vol.94, No.4(2018), pp191-211.
- [7] T. Takayanagi *et al.*, "RCSキッカー用半導体スイッチ電源", Proceedings of PASJ2020, WEO04.
- [8] T. Takayanagi *et al.*, "パワー半導体を用いたキッカー用パルス電源とイグナイトロン代替スイッチの開発", Proceedings of PASJ2019, THOH02.
- [9] T. Takayanagi *et al.*, "Kicker power supply for J-PARC 3-GeV RCS with SiC-MOSFET", Proceedings of J-PARC Symposium 2019, JPS Conf. Proc. 33, 011020 (2021).
- [10] T. Takayanagi *et al.*, "Development of low inductance circuit for radially symmetric circuit", Journal of Physics: Conf. Series, Vol.1350, 012183, 2019, IOP Publishing.
- [11] Y. Shobuda *et al.*, "Reduction of the Kicker Impedance Maintaining the Performance of Present Kicker Magnet at RCS in J-PARC", Journal of Physics: Conf. Series, Vol.1067, 062007, 2018, IOP Publishing.
- [12] N. Ikoma *et al.*, "パルスパワー電源への応用に向けた SiC MOSFET の特性評価", Proceedings of PASJ2020, THPP43.

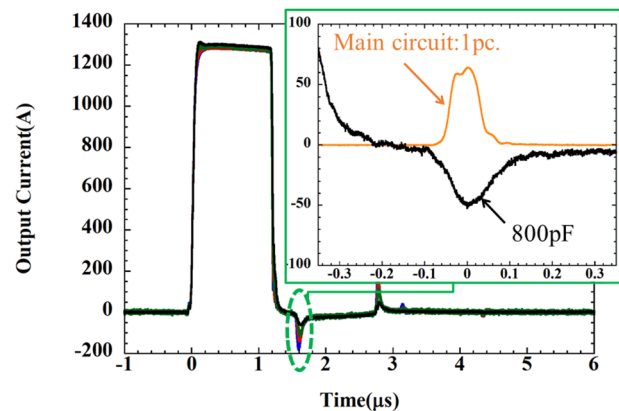


Figure 11: Assumption of virtual ringing suppression using the main circuit board. The enlarged figure shows the waveform output with only one main circuit board and the target waveform has a total capacitance of 800 pF.