

J-PARC リニアック LLRF における次世代 DFB・DFF システムの開発 DEVELOPMENT OF DFB・DFF SYSTEM FOR J-PARC LINAC LLRF

ニッ川健太^{*A)}, Ersin Cicek^{A)}, 方志高^{A)}, 福井佑治^{A)}, 溝端仁志^{A)}, 佐藤福克^{B)}, 篠崎信一^{C)}
Kenta Futatsukawa^{*A)}, Ersin Cicek^{A)}, Zhigao Fang^{A)}, Yuji Fukui^{A)}, Satoshi Mizobata^{A)},
Yoshikatsu Sato^{B)}, Shinichi Shinozaki^{C)}

^{A)} High Energy Accelerator Research Organization

^{B)} Japan Atomic Energy Agency

^{C)} NAT

Abstract

The low level radio frequency control (LLRF) system at the J-PARC linac has already been used for more than 15 years. Therefore, we developed the new digitizer implementing ADC, DAC, and FPGA, and started the operation with DTL3 and SDTL01~16 from the summer shutdown of 2020. We have developed a μ TCA.4-based digital feedback feedforward (DFB&FF) system. It consist of the digital AMC board same as the existing digitizer, an analog eRTM board generating RF and clocks, a μ RTM board with eight down-converters and one IQ modulator and a μ TCA.4 shelf with a RF backplane. We will plan to install this DFB&FF system at the MEFT1 station with four cavities in this year.

1. はじめに

J-PARC リニアックの低電力高周波制御 (LLRF) システムでは、上流の 324MHz の機器が製造から 15 年以上経過している。そのため、経年劣化による故障対策として、重要な役目を果たしているデジタルフィードバック・フィードフォワード (DFB&FF) システムの計画的な交換を開始している。また、現在の DFB&FF システムの機能を実装している cPCI の CPU, FPGA 及び DSP ボードは製造中止である。そのため、単純に置き換えるのではなく、実際に運用したことで明確になった問題点を改良できる新しいシステムの開発を行っている。

2020 年の年始から SDTL02 ステーションで、ゴールデンウィーク明けから SDTL13 ステーションで新しく開発したデジタイザの試験的な実装を行った。また、同年の夏期シャットダウンに 324MHz ステーションの DTL3, SDTL01~16 までの 17 ステーションにこのデジタイザを実装して、実機での本格的な運用を開始している [1]。このデジタイザは、8ch ADC と 2ch DAC を実装した三菱電機特機システム製の μ TCA.4 AMC ボードをベースにした構成になっている [2]。一方で、 μ RTM ボードに関しては、信号がほぼ通過する機能だけである。そこで、高周波 (RF) 信号やクロック信号の生成、ダウンコンバータや IQ 変調器などのアナログ機能に関しては、既存の cPCI のアナログボードを活用している。

324MHz ステーション用に RF 信号やクロック信号を生成する eRTM ボードと、8ch ダウンコンバータと 1ch IQ 変調器を実装した μ RTM ボードの開発を行った。デジタイザの開発段階からアナログボードの開発まで念頭に置いていたこともあり、AMC ボードに関してはデジタイザと同じボードを使用している。最終的には、デジタル部の AMC ボードとア

ナログボードの両方を μ TCA.4 シェルフを使用した DFB&FF システムに統合する予定である。

2. 開発した DFB&FF システム

Figure 1 に開発した μ TCA.4 シェルフを用いた DFB&FF システムの概略図を示す。

開発した eRTM ボードは、分配ボードと電源ボードで構成されるキャリアボードと RF 信号やクロック信号を生成するメザニンボードで構成される。クロック信号の生成部では、312MHz LO 信号と 12MHz クロック基準信号を入力して、VCXO を使用して入力 LO 信号に同期した 324MHz RF 信号、312MHz LO 信号、12MHz クロック基準信号、240MHz ADC・DAC クロック信号及び 120MHz FPGA クロック信号を出力する。キャリアボードでは、324MHz、312MHz 及び 12MHz の各信号を Zone 2 コネクタ、240MHz と 120MHz の各信号を Zone 1 コネクタを介して RF-backplane を通って各 μ RTM ボードに分配する。U 字のセミリジッドケーブルでメザニンボード出力とキャリアボード入力が接続されている。

μ RTM ボードは、8ch ダウンコンバータ 1ch IQ 変調器で構成されている。フロントから入力された各 324MHz RF 信号は、RF-backplane を介して eRTM ボードから分配された 312MHz LO 信号を使って 12MHz IF 信号にダウンコンバートされる。IF 信号は Zone 3 を介して AMC ボードの各 ADC に接続される。また、IQ 変調器は eRTM ボードから分配された 324MHz RF 信号と AMC ボードの 2ch DAC の IQ 信号を入力して、IQ 変調された 324MHz RF を出力する。

Figure 1 内には、AMC ボードに実装されている FPGA のブロックダイアグラムも示している。デジタイザのダイアグラムと比較すると、ADC5~8 の入力周波数が IF 信号の 12MHz で IQ サンプリングするか、324MHz RF 信号のダイレクトサンプリングで IQ 算出を行うかの違いがある。この違いは、EPICS レコード経由で切り換えることができ、今回開発し

* kenta.futatsukawa@kek.jp

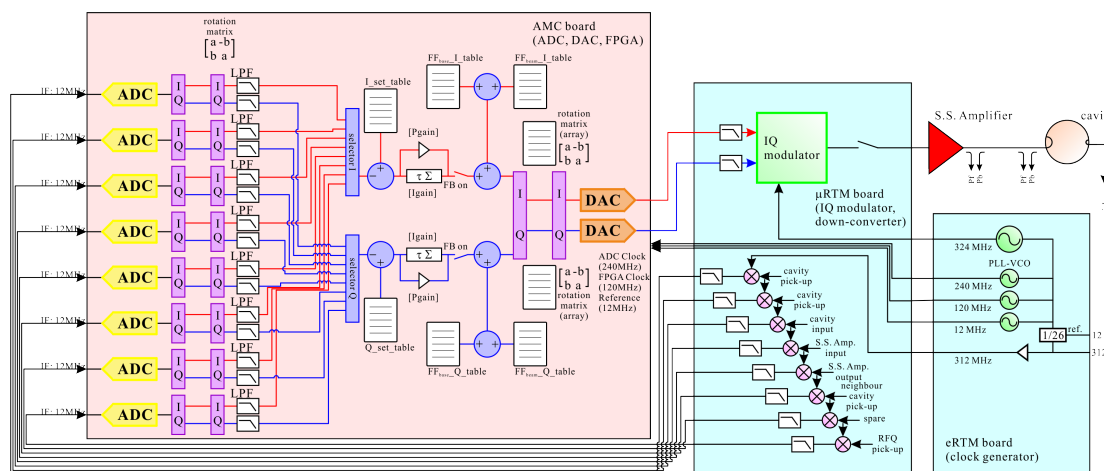


Figure 1: Digital feedback and feedforward system using μ TCA.4 with the block diagram in FPGA.

たシステムと 2020 年に実装したデジタイザでは同じ bit ファイルで動作させることができる。

今回開発した DFB&FF システムは、MEBT1 に局所的な恒温恒湿環境を構築して、高い集積度を利用して 2021 年にバンチャ 1, 2, チョッパ 1, 2 を同じ μ TCA.4 シェルフから制御する予定である。

3. オフライン試験結果

3.1 eRTM の位相雑音

ローデ・シュワルツ製の位相雑音アナライザ FSWP8 を使用して、eRTM メザニンボードの 324MHz, 312MHz, 240MHz の各信号の位相雑音を測定した (Fig. 2)。cPCI の RF 信号、LO 信号及び ADC-DAC クロック信号の積分ジッタが、56 fs, 137 fs 及び 1221 fs であったのに対して、eRTM ボードの各出力信号の積分ジッタは、80 fs, 82 fs 及び 68 fs となった。RF 信号と LO 信号の位相雑音が同程度であるが、ADC-DAC クロック信号の積分ジッタは eRTM ボードの方が 1 桁以上に改善した。これは、cPCI のクロック信号の規格が TTL なのに対して、eRTM ボードの場合は高速伝送に適した LVPECL であることが主な原因である。これらの信号の位相雑音は、J-PARC リニアック RF の要求性能を満たしている。

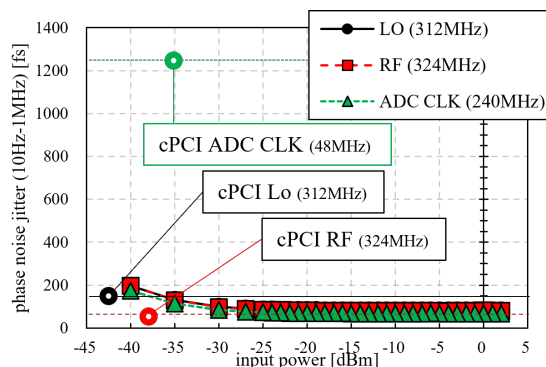


Figure 2: The integrated jitter of a phase noise of dependence upon the 312MHz input power.

3.2 μ RTM の IF 信号の高調波

キーサイト製のシグナルアナライザ N9020B で、 μ RTM のダウンコンバータの 12MHz IF 信号の高調波を測定した。Figure 3 に各ダウンコンバータの IF 信号の 2 次と 3 次高調波を示す。4 次及び 5 次高調波に関しては、ノイズフロアと同程度で測定限界以下であった。図から最も影響が大きな 2 次高調波でも -70dBc 程度であることが分かる。これは、振幅で 0.032% なので、J-PARC リニアック RF の要求性能を満たしている。

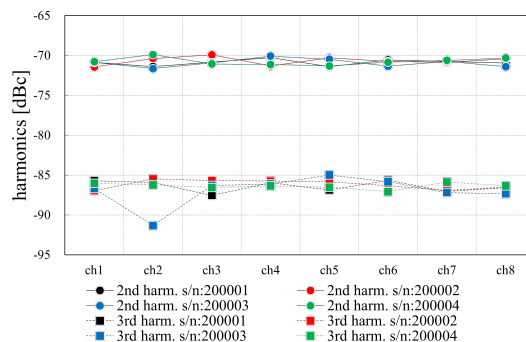


Figure 3: Harmonics of IF signals of down-converter output. The 2nd harmonics are about -70dBc for all channels.

3.3 各チャンネル間の混線

μ RTM ボード単体と、 μ RTM ボードと AMC ボードを組合わせたときの両方で各チャンネル間の混線を測定した。Figure 4 に組合わせたときの混線の割合を示す。最も大きな混線の場合でも -72dB 程度 (振幅で、0.25%) であり、J-PARC リニアック RF の要求性能を満たしている。単体と組合せ試験では殆ど同じ結果であり、デジタイザの ADC5~8 が Zone 3 に 324MHz を直接通したときでも殆ど同じ結果であったことを総合して判断すると、この混線の主要因は μ RTM ボードの入力周辺で発生している可能性が高いと思っている。

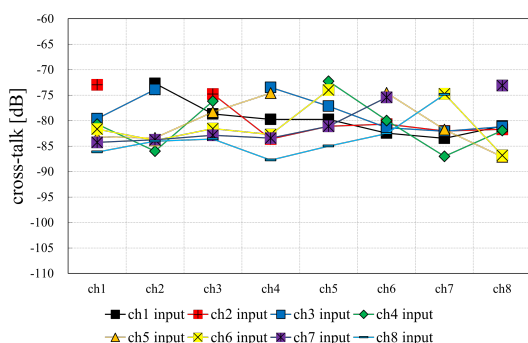


Figure 4: Cross-talks of ADC1~8. The worst value of cross-talks is about -72dB .

3.4 温度特性

Figure 5 に対して、開発した DFB&FF システムの温度特性の結果を示す。温度特性は恒温恒湿槽を使用して測定され、振幅で $0.05\%/^{\circ}\text{C}$ 、位相で $0.42\text{ deg.}/^{\circ}\text{C}$ という結果が得られた。2021 年に、この DFB-FF システムは MEBT1 に実装する予定である。同時に局所的な恒温恒湿の環境を構築するため、実装時の温度変動は経験上 $\pm 0.1^{\circ}\text{C}$ 程度であると推測され、温度ドリフトは十分に許容範囲となる見込みである。一方で、この温度特性の結果は、cPCI のアナログボードの温度特性と比較して大きいことは事実である。cPCI のアナログボードのときは、ボードに補正機能を追加することで温度特性を改善した [3]。今後、 $\mu\text{TCA.4}$ の DFB-FF システムにおいても cPCI と同様な改修が必要だと考えている。

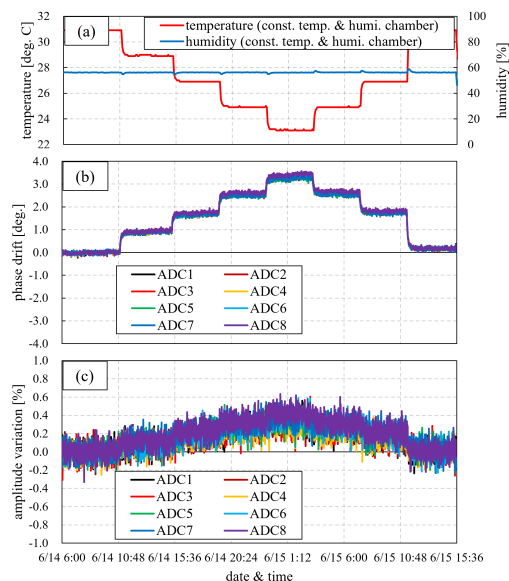


Figure 5: Temperature characteristics for the new DFB-FF system. (a) the upper figure shows the temperature and humidity in the chamber. (b) the middle and (c) the lower are the temperature dependence of phase and amplitude, respectively.

3.5 湿度特性

Figure 6 に開発した DFB&FF システムの湿度特性の結果を示す。湿度特性のときと同様に測定には恒温恒湿槽を使用しており、恒温恒湿槽内の湿度は $10\%\text{rh}$ から $55\%\text{rh}$ へ変化させている。72 時間経過しても十分に測定データが飽和しているとはいえないが、湿度が $40\%\text{rh}$ 変化したとき振幅で $0.1\text{--}0.2\%$ 程度、位相で 2 deg. 以上の変動が測定された。今回の eRTM- μRTM ボードの新規の開発にあたり、耐湿の基板材の選別などを行って設計に反映させたが、期待通りの結果が得られなかった。現在、ボード単位での湿度特性試験ができないかの検討を行うと共に、市販の評価ボードを使って湿度特性を改善させる方法を検討している。

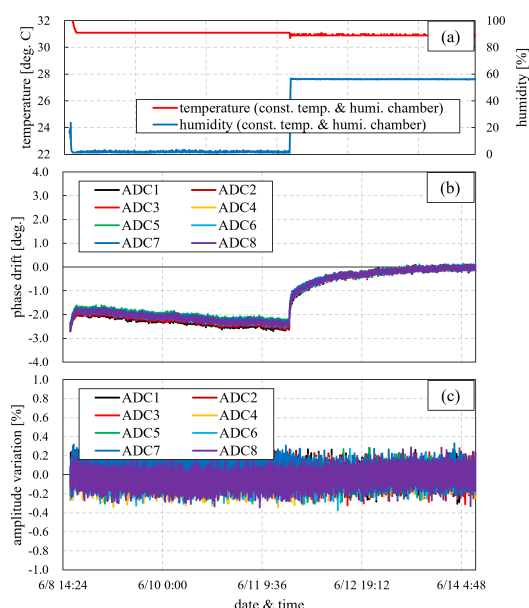


Figure 6: Humidity characteristics for the new DFB-FF system. (a) the upper figure shows the temperature and humidity in the chamber. (b) the middle and (c) the lower are the temperature dependence of phase and amplitude, respectively.

4. 暫定的な FB 試験

加速器の 1 日メンテナンスの間に、今回開発した DFB-FF システムを暫定的に MEBT1 バンチャ 1 の LLRF システム内に組み込み、空洞 RF の制御を行った。Figure 7 に FB を使ったときの空洞ピックアップ信号の振幅と位相の波形を示す。十分な時間がなかったためにパラメータの最適化を行っていないが、振幅で $\pm 0.1\%$ (pp: peak-to-peak)、位相で $\pm 0.1\text{ deg.}$ (pp) の結果が得られた。今回開発した DFB-FF システムのデジタル部は、昨年度に実装したデジタイザと同じこともあり、大きな支障なく FB 時の RF 波形の確認ができた。2021 年度に MEBT1 に新しいシステムを実装することに、大きな問題はないと考えている。

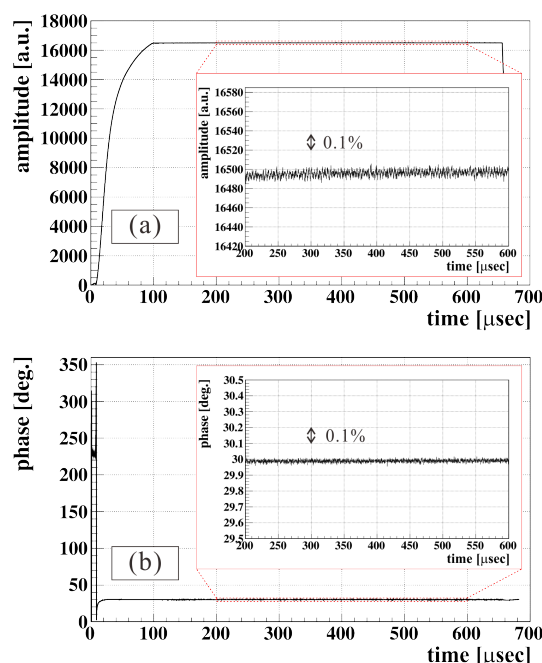


Figure 7: (a) amplitude and (b) phase waveform on the condition of FB-ON using new DFB-FF system at MEBT1 Buncher1, respectively.

5. 運転に際する条件出し

5.1 電源の入切後の再現性

電源の入切後の測定位相の再現性を確認したが、再現しなかった。詳細調査で eRTM ボードの出力の位相が再現せず、各周波数で特定のパターンがあることが分かった。eRTM ボード内の回路には周波数を分周している箇所があり、そのときの基準として外部から 12MHz 信号を入力している。入切後の再現性がなかった原因は、分周時にこの 12MHz クロック基準信号が役目を果たしていないことにあった。2021 年の夏期シャットダウン明けの運転前に、eRTM ボードに改修を加える予定である。

5.2 ホットスワップの影響

通信事業者向けの ATCA から派生した μ TCA には、電源を入れた状態でのボードの抜き差しが可能なホットスワップ機能が標準で装備されている。J-PARC リニアックの LLRF では共通のシェルフに、異なるステーションを制御するボードが混在することになる。運用にあたり、ボードの追加や削除などでスロットの構成が変わることは十分に考えられる。そこで、ホットスワップの影響を調査して、スロット構成の変更が生じたときの影響を見積もった。Figure 8 に、(a) ホットスワップで電源のオフした時と、(b) スロットから取り出したときの測定位相の変動を示す。今回、MEBT1C2(slot:12)用のボードは抜き差し対象から除外して、このボードで測定している位相の変動を観測している。横軸は、スロット 6, 8, 10, 12 のボードを 0x8, 0x4, 0x2, 0x1 のビットと割当て、シェ

ルフに挿入されているボードを示している。ホットスワップで電源をオフ (a) にするだけでは位相の変動は 0.1 deg. 以下であり J-PARC リニアックの運用としては無視できる。一方で、シェルフから取り出した影響 (b) は 1 deg. 以上と無視できない影響がある。これは、ボードの取り出しにより、eRTM ボードから μ RTM ボードへ分配されている IQ 変調器の LO 信号と ADC・DAC のクロック信号が終端されていない状態になることで eRTM ボードの分配モジュールへの反射が生じ、他のボードへの信号に影響したと考えている。今年度はこの状況を理解した上で使用を開始するが、長期的には影響する LO 信号と ADC CLK 信号を μ RTM ボードの代わりに終端する方法を検討したい。

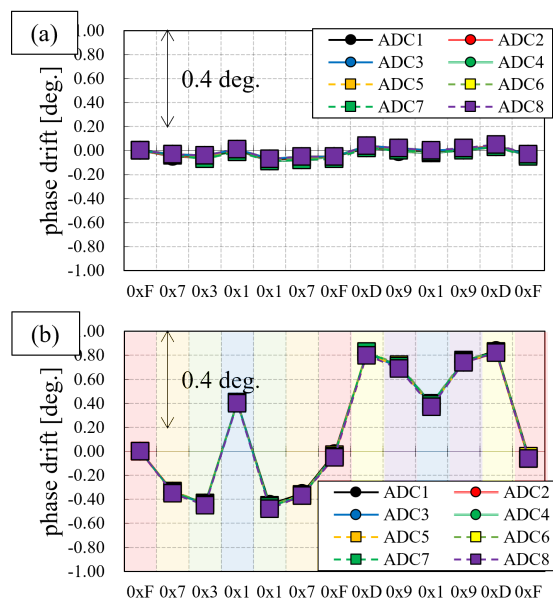


Figure 8: Measured phase dependence on the hot swap. (a) the upper figure shows just power-off and (b) the lower is not only power-off but also out-off-shelf.

5.3 ファン動作の影響

μ TCA.4 シェルのファン動作は、MCH により制御されている。初期設定は、“silent” と呼ばれる状態で、内部温度に応じてファンの回転数を自動で制御する状態である。ファンから風量が変わることを想定して、RF 入力信号を固定した状態でファンの設定だけを変更した場合に測定値に対する影響を調査した。Figure 9 に代表例として、MEBT1B1(slot:6), MEBT1B2(8), MEBT1C1(10) 及び MEBT1C2(12) 用ボードの各 ADC1 と ADC5 の測定値の変動を示す。ファンの設定は 10-15 分毎に“silent”, “loud”, “minimum”, “maximum”, “silent” の順に変更している。十分に飽和したデータではないが、ファンの動作状況に応じて 2 deg. 以上の変動が生じることは明確である。これは、ファンの動作状況によって冷却能力が異なり、消費電力で発熱した回路の温度が変わることが原因と考えられる。ファンの自動制御でファンの

回転数が変わり、測定位相がドリフトする可能性があるため、回転数を固定させる”maximum”の設定で動作させる予定である。

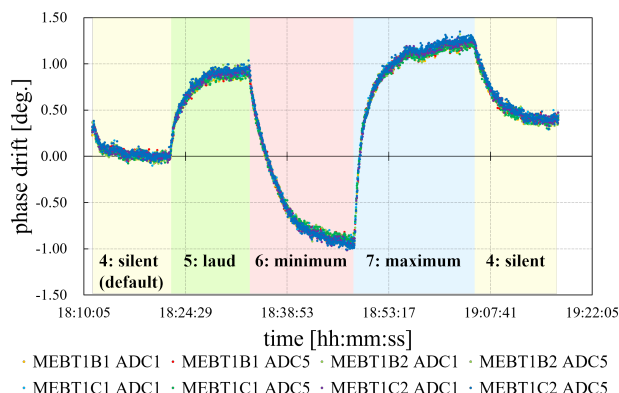


Figure 9: Measured phase dependence on the fan control settings. We should change the fan control setting to “7: maximum”, because the default of the fan control is automatic.

6. 高速モニタ

6.1 J-PARC イベントタグ情報の取得

AMC ボードに、制御の新タイミング送受信システムと同じ SFP の光ファイバトランシーバモジュール (Finisar 製 FTLF1321P1BTL) を実装した。この SPF モジュールを通して、タイミングシステムの高速シリアル通信信号を受信して、J-PARC の TYPE コード、S イベント、S カウント及び TRIG カウントの情報を得ることができる。これらの受信したイベントタグ情報は、後述の高速モニタのパルスデータの event footer に付加されるだけでなく、デバックや受信状態のチェック用に EPICS レコード経由で確認することが可能である。

現在、EPICS 経由ではあるが、TRIG カウントが送信側と同じであることを確認した。また、受信したイベントタグを高速モニタのデータの event footer に書き込めることを確認している。

6.2 実装された高速モニタ

AMC ボードには、1 Gbyte のメモリが実装されている。このメモリを 16 バンクに分割して、各バンクをリングメモリとしてパルスデータの書き込みを行う。①外部 RF-ON 信号の立下り、②内部インターロック、③ソフトウェア制御のいずれかの事象が発生した場合に、高速モニタの書き込みを中断して、バンクの切換えを行う。バンクの切換え条件は、上記の①から③を任意に使用・不選択を選択することができる。また、前のバンクに残されたデータは、任意のタイミングでサーバに書き込むことができるようにシステムを組上げている。1 バンクは、40 byte の bank header と 16 パルス分のデータで構成されている。1 パルスデータは、16,383 smps(samples) 分のデータと 64 byte の event footer から成り、1 smp は 64 byte

のデータ量になる。64 byte のデータには、ADC1~8 と DAC の IQ 情報だけでなく、VS, IIR, REF, PI 及び FF の IQ 情報と FPGA 内のフィードバックの過程が格納されている (Table 1)。パルス全体を格納するためには、サンプル周波数は最高でも 24MHz 程度になる。J-PARC リニアックではチョッパ空洞を除いて、周波数が高くても負荷 Q 値が小さい ACS 空洞でも空洞電界の時定数が約 2.6μ である。従って、異常事象を捉えるモニタとしては上記のサンプル周波数で必要十分であると考えている。サーバでは、64 パルス全てのデータをデコードするとサーバ HDD の負担が大きいため、データの新しいパルスから任意のパルスだけデコードできるように準備をしている [4]。

Table 1: Structure of High Speed Waveform Monitor

number of backs	16
number of pulses in a back	64
number of samples in a pulse	16,383 smps (64 byte/smp)
sampled data	ADC1~8, DAC, VS, IIR, REF, PI, FF
back switch timing	interlock, software, falling external RF-ON
bank header	latest & oldest data (40 byte)
event footer	J-PARC event tag (64 byte)

7. まとめ

μ TCA.4 シェルフを使用した DFB-FF システムを構築するために、eRTM ボードと μ RTM ボードの新規開発を行った。ボード単体とシステムとしてのオフライン試験を行い、問題がないことを確認した。また、加速器の 1 日メンテナンス中に、開発した DFB-FF システムを暫定的に MEBT1 パンチャ 1 の LLRF システム内に実装した。そこで、FB 試験などを行い、良好な結果が得られた。

2021 年の夏期シャットダウンに、MEBT1 に局所的な恒温恒湿の環境を構築する予定である。その環境に開発した DFB-FF システムを実装して、MEBT1 パンチャ 1, 2, チョッパ 1, 2 の RF の制御に使用する予定である。

参考文献

- [1] K. Futatsukawa *et al.*, “Present Status of J-PARC Linac LLRF System”, Proc. of the 17th Annual Meeting of Particle Accelerator Society of Japan, Online, July Sep. 2-4, 2020.
- [2] M. Ryoshi *et al.*, “MTCA.4 RF Signal Processing System”, Proc. of the 13th Annual Meeting of Particle Accelerator Society of Japan, Chiba, Aug. 8-10, 2016.
- [3] Z. Fang *et al.*, “Present Status of J-PARC Linac LLRF System”, Proc. of LINAC2014, Geneva, Switzerland, Arg. 31-Sep. 5, 2014.
- [4] Y. Sato *et al.*, “Analysis of the J-PARC linear accelerator RF down phenomena 2”, THP043 in these proceedings, Online, Oct. 9-12, 2021.