

はじめに

本マニュアルは、同時サンプリングA/Dボード PVME-303概要、取り扱いについて述べたものです。

PVME-303は、同時サンプリング機能を備えた12ビット分解能8チャンネルのVME bus対応の高速、高性能、低価格なA/D入力ボードです。

独立型A/D変換方式の採用によりチャンネル数によってスループットレートが変わることはなく、しかも、最速サンプリングレート $10\mu\text{s}$ での高速変換が可能です。

A/D変換データはFIFO RAMへ蓄積されるためA/D変換実行中にデータを読み込むことが可能です。

A/D変換は内部インターバルタイマ/外部クロックのどちらにも同期できる他、最終チャンネル番号、及び変換回数が指定できるためFIFO RAMを有効に使用できます。

本ボードはマスタ/スレーブ構成にカスケード接続ができるため、ボード枚数を増やすことにより多チャンネルのアプリケーションに簡単に対応することができます。

ご使用になる前に、本マニュアルの内容をよくご理解いただき、有効にご利用ください。

目 次

| | |
|------------------|----|
| 1.概要 | |
| 1-1 特長 | 1 |
| 1-2 仕様 | 2 |
| 1-3 ブロック図 | 4 |
| 1-4 アドレス・マップ | 5 |
| 2.取扱い方法 | |
| 2-1 部品の確認 | 6 |
| 2-2 御使用上の注意事項 | 6 |
| 3.機能 | |
| 3-1 アドレス空間 | 7 |
| 3-1-1 AMコード | 7 |
| 3-1-2 ベース・アドレス設定 | 7 |
| 3-1-3 アドレス・モード設定 | 9 |
| 3-2 A/D変換モード | 10 |
| 3-2-1 概要 | 10 |
| 3-2-2 モード設定 | 12 |
| 3-2-3 使用チャンネル数設定 | 12 |
| 3-2-4 変換回数設定 | 13 |
| 3-2-5 同期信号 | 15 |
| 3-2-6 トリガ信号 | 19 |
| 3-2-7 変換データの読み出し | 21 |
| 3-2-8 マスタ/スレーブ構成 | 24 |
| 3-2-9 フィルタリング機能 | 27 |
| 4.割り込み | |
| 4-1 割り込み | 28 |
| 4-2 コントロール レジスタ | 30 |
| 4-3 ベクタ・レジスタ | 31 |
| 5.ポーリング | |
| 5-1 ポーリング | 32 |
| 6.レジスタ・フォーマット | |
| 6-1 レジスタ・フォーマット | 33 |

| | |
|---|----|
| 7.ディップスイッチ/ジャンパー設定 | |
| 7-1 初期設定 | 42 |
| 7-2 アドレス・モード設定 | 43 |
| 7-3 ベース・アドレス設定 | 44 |
| 7-4 モード/データ・フォーマット/F I F Oモード設定 | 45 |
| 7-5 インターバルタイマ単独/カスケード設定 | 45 |
| 7-6 入力レンジ設定 | 46 |
| 7-7 電圧/電流入力設定 | 47 |
| 7-8 SCK IN/SCK OUT/TRG INライン ターミネイト抵抗設定 | 47 |
| 8.ピン・アサイン | |
| 8-1 フロントパネル外観 | 48 |
| 8-2 アナログ入力コネクタ (CN 1) | 49 |
| 8-3 同期信号コネクタ (CN 2, CN 3) | 50 |
| 8-4 VME busコネクタ (P 1, P 2) | 52 |
| 9.アナログ調整 | |
| 9-1 調整方法 | 55 |
| 9-2 部品位置 | 59 |
| 9-3 調整プログラム (TEST303:C / ADPS303:H) | 60 |
| 10.サンプル・ソフト | |
| 10-1 ソフト概要 | 64 |
| 10-2 ソフト設定 | 64 |
| 10-3 プログラム構成 | 65 |
| 11.その他 | |
| 11-1 保証について | 73 |
| 11-2 オーダリング・インフォメーション | 73 |

第 1 章 概 要

1-1 特長

PVME-303 は VME bus (Rev C.1) 仕様の同時サンプリング A/D 入力ボードであり特長は次の通りです。

○ A/D 変換機能

- ・ 分解能 12 bit
- ・ 高スループットレート 10 μ s
- ・ 入力チャンネル 8 ch (差動)
- ・ 入力レンジ (ジャンパーセレクト)
 - ユニポーラ時
 - 1) 0 ~ + 2.5 [v]
 - 2) 0 ~ + 5.0
 - 3) 0 ~ + 10.0

 - バイポーラ時
 - 4) - 2.5 ~ + 2.5 [v]
 - 5) - 5.0 ~ + 5.0
 - 6) - 10.0 ~ + 10.0

- ・ 独立型 A/D 変換方式
- ・ マスタ/スレーブ構成により多チャンネル対応
- ・ オート・スキャン機能
- ・ 内部/外部トリガ
- ・ 内部インターバルタイマ/外部クロックに同期したサンプリング
- ・ 同時サンプリング回数 1 ~ 65536回/無限

- ・ FIFOメモリ容量 4092ロング・ワード/8192ワード

○ 割り込み機能

- ・ 68153 (Bus interrupt Modale) 使用
- ・ 割り込み要因

| | | |
|------------|------|----|
| 1) FIFOメモリ | FF | 信号 |
| 2) FIFOメモリ | HF | 信号 |
| 3) FIFOメモリ | EF | 信号 |
| 4) スキャン終了 | DONE | 信号 |

○ ポーリング機能

- ・ ステータス

| | | |
|------------|------|----|
| 1) FIFOメモリ | FF | 信号 |
| 2) FIFOメモリ | HF | 信号 |
| 3) FIFOメモリ | EF | 信号 |
| 4) スキャン終了 | DONE | 信号 |

1-2 仕様

インターフェース電氣的仕様（特に記述のない限り、TA=25°C、規定電源電圧）

| バス型式 | VMEバス規格 (Rev C.1) 準拠 |
|---------|---|
| アドレス | A 16 / A 24 / A 32 ビット、アドレス対応 連続256バイト (128ワード) 占有 上位アドレス、ロータリ・スイッチにてフルデコード |
| AMコード | 特権、非特権 データ・アクセス ショート I/O・アクセス ロータリ・スイッチにて選択 |
| 転送データ幅 | D 8 / D 16 / D 32 対応 |
| モード | スレーブ |
| インターラプト | ベクタ方式 割込レベル：1～7レベルをソフトウェアセレクト 要求解除：応答時開放 (ROAK) 又は、 レジスタ・アクセス解放時 (RORA) |
| 動作表示 | スレーブ/マスタ・アクセス時及びA/D変換実行中に LED点灯 |

A/D部

| 入力チャンネル | 差動 8 ch |
|------------|---|
| 入力レンジ | ユニポーラ時 0 ~ + 2.5 [v] 0 ~ + 5.0 0 ~ + 10.0 バイポーラ時 - 2.5 ~ + 2.5 [v] - 5.0 ~ + 5.0 - 10.0 ~ + 10.0 各チャンネルごとにジャンパー設定 |
| 最大入力電圧 | ± 15 [v] (電源 ON 時) |
| 出力コード | ユニポーラ時 ストレート・バイナリ バイポーラ時 オフセット・バイナリ |
| 入力インピーダンス | 10 MΩ 以上 |
| 入力キャパシティ | ± 30 pF 以下 |
| 入力リーク電流 | 50 nA 以下 |
| 分解能 | 12 ビット |
| スループット レート | 10 μsec (チャンネル数に無関係) |
| オフセット エラー | ± 60 mV (ゼロ調整可能) |
| オフセット ドリフト | 55 μV (TYP) |
| フルスケール エラー | 1% (ゼロ調整可能) |
| フルスケールドリフト | 30 ppM/°C |
| リニアリティ エラー | ± 0.013 % |

デジタル部

| | | | |
|------------|---------------|-----------|----------------|
| 外部トリガ | 入力レベル | TTLレベル | 立下りエッジ (▾) |
| | パルス幅 (min) | | 50 [nS] |
| | ディレイタイム (max) | | 50 [nS] |
| 外部クロック | 入力レベル | TTLレベル | 立下りエッジ (▾) |
| | パルス幅 (min) | | 50 [nS] |
| | ディレイタイム (max) | | 50 [nS] |
| スレーブ同期 | 出力波形 | | パルス (□) |
| | 出力レベル | TTLレベル | |
| | 出力電流 | IOL (mix) | 48 [mA] |
| | | IOH (max) | -15 [mA] |
| | パルス幅 | (min) | 100 [nS] |
| インターバル・タイム | 10 [μs] | — 7 [s] | 125 [ns] ステップ° |
| FIFO・メモリ | 8 1 9 2 | [ワード] | |
| | 4 0 9 6 | [ロング・ワード] | |

電源・外形

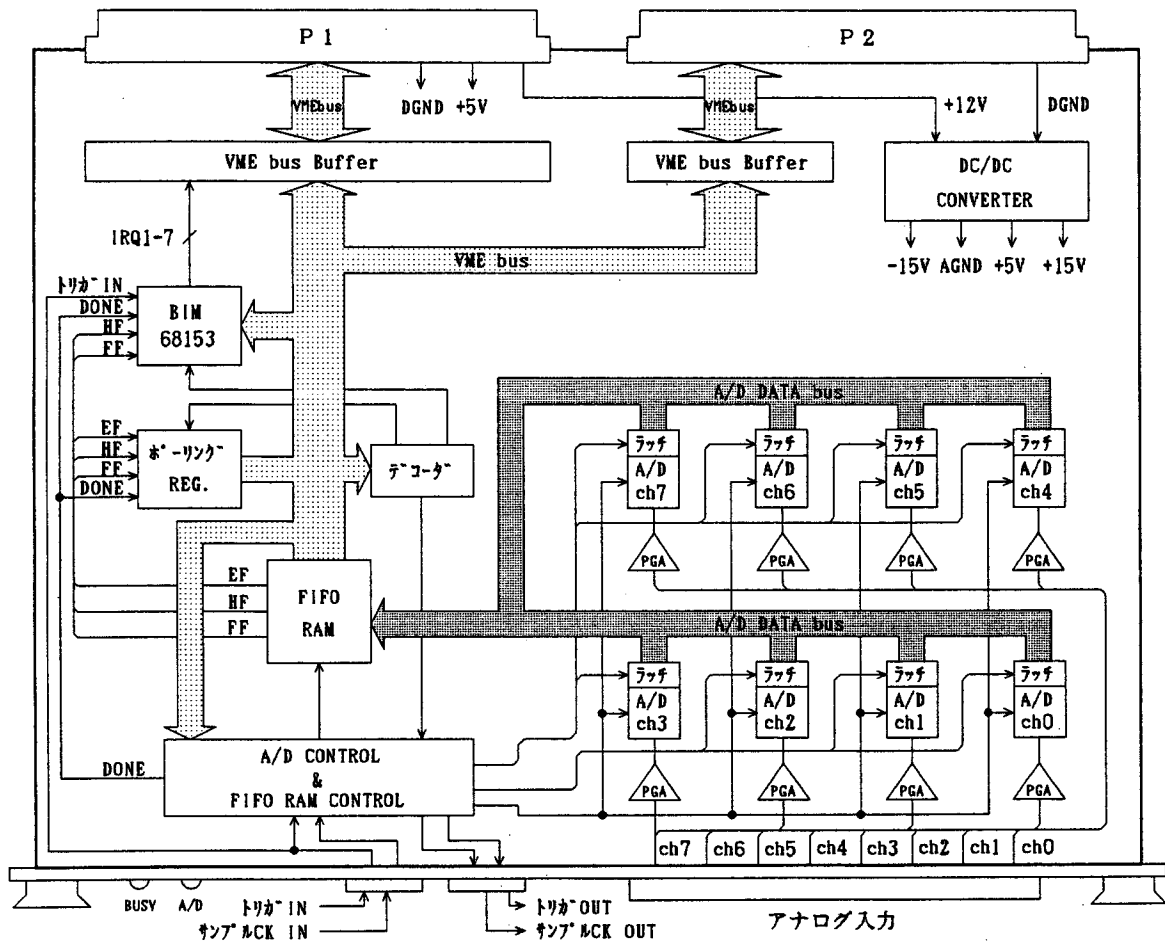
| | | |
|--------|---------------|----------------|
| 電源 | + 5 [V] ± 5 % | 3.0 [A] MAX |
| ボードサイズ | ダブルハイト、 | 160 × 233 [mm] |

温度・湿度規定

| | | |
|-----|----|-----------------|
| 動作時 | 温度 | : 0 ~ + 60 °C |
| | 湿度 | : 20 ~ 80 % 結露無 |
| 保存時 | 温度 | : -10 ~ + 70 °C |
| | 湿度 | : 10 ~ 90 % 結露無 |

1-3 ブロック図

PVME-303 ブロック図



1-4 アドレス・マップ

PVME-303 は、連続した256バイト（128ワード）空間を占有します。
占有空間のアドレス・マップは次の通りです。

| | UPPER BYTE | LOWER BYTE |
|-----------|------------|----------------|
| Base+ 00h | * | コントロール レジスタ 0 |
| 02 | * | コントロール レジスタ 1 |
| 04 | * | コントロール レジスタ 2 |
| 06 | * | コントロール レジスタ 3 |
| 08 | * | ベクタ レジスタ 0 |
| 0A | * | ベクタ レジスタ 1 |
| 0C | * | ベクタ レジスタ 2 |
| 0E | * | ベクタ レジスタ 3 |
| 10 | * | タイマー レジスタ 0 |
| 12 | * | タイマー レジスタ 1 |
| 14 | * | カウンタ レジスタ 0 |
| 16 | * | コントロール レジスタ 4 |
| 18 | * | * |
| 1A | * | * |
| 1C | * | * |
| 1E | * | * |
| 20 | * | コントロール レジスタ 5 |
| 22 | * | コントロール レジスタ 6 |
| 24 | * | コントロール レジスタ 7 |
| 26 | * | コントロール レジスタ 8 |
| 28 | * | コントロール レジスタ 9 |
| 2A | * | コントロール レジスタ 10 |
| 2C | * | * |
| 2E | * | * |
| 30 | データ レジスタ 0 | |
| 32 | データ レジスタ 0 | |
| 34 | * | * |
| 36 | * | * |
| 38 | * | * |
| 3A | * | * |
| 3C | * | * |
| 3E | * | * |
| 40 | * | * |
| ~ | ~ | |
| FC | * | * |
| FE | * | * |

注) ① D 8 / D 16 / D 32 アクセスに対して DTACK が発生されませんが、各 REGISTER
 において、指定以外のアクセス時では、データが不確定となる場合があります。
 (第 6 章レジスタ・フォーマットの参照を願います。)

② * : 未使用

第 2 章 取扱い方法

2-1 部品の確認

お買い上げいただきました PVME-303 の梱包を解いたときに、下記の物があることを御確認下さい。

- ・ PVME-303 ユーザーズ・マニュアル 1 部
- ・ PVME-303 (部品面シールド板付) 1 枚
- ・ D-SUB 37P コネクタ及びハウジング 1 組
- ・ リボン・コネクタ (10P) メス側 2 組
- ・ 保証書 1 通

2-2 御使用上の注意事項

- ・ PVME-303 をジャンパー設定変更などで、ラックから抜き差しする際には、電源を切って行い、また、導電性のものの上に置き作業して下さい。このとき、人体アースを取ることも忘れないでください。

- ・ PVME-303 をラックに入れて使用する場合、振動により接触不良が起きることがありますので、パネル上下 2箇所 のネジを締めて御使用下さい。
また、ネジを締めることにより、シールド板及び、入力チャンネル・コネクタ表面がフレーム・グラウンドと導通されます。

- ・ PVME-303 には、ノイズの影響を極力防げるため部品面側にシールド板が実装されていますが、はんだ面側には特にシールド対策を施しておりません。
したがって、はんだ面側スロットは極力空けるか、もしくは、はんだ面側スロットに装着されるボードの部品面側にも、シールド板を実装し御使用されることを推奨いたします。

- ・ PVME-303 を保存する場合、保存環境条件を満たし、直射日光を避け、静電破壊を防ぐためには、はんだ面に導電性のものをつけて保存するようにして下さい。

第 3 章 機 能

3-1 アドレス空間

PVME-303 は、VMEシステムにて常にスレーブ・ボードとしてアクセスされます。

特権状態は、ユーザ定義によりスーパーバイザ/非特権のどちらか一方の状態、又は両方の状態を選択することができます。

アドレス形式は、ショート・アドレッシング、スタンダード・アドレッシング（標準）、エクステンディド・アドレッシング（拡張）から選択可能です。また、各形式では、128ワード（A₁～A₇）を占有アドレスとして使用し、ベース・アドレス（上位アドレス）は自由に設定が可能です。

3-1-1 AMコード

希望する状態をロータリ・スイッチ（LD7）にてユーザ定義することで、AMコードに対応することが可能です。

対応可能なAMコードを示します。

| HEX コード | アドレス・モディファイヤ | | | | | | 機 能 |
|---------|--------------|---|---|---|---|---|--------------------|
| | 5 | 4 | 3 | 2 | 1 | 0 | |
| 3D | H | H | H | H | L | H | 標準スーパーバイザ・データ・アクセス |
| 39 | H | H | H | L | L | H | 標準非特権・データ・アクセス |
| 2D | H | L | H | H | L | H | ショート・スーパーバイザ・アクセス |
| 29 | H | L | H | L | L | H | ショート・非特権・アクセス |
| 0D | L | L | H | H | L | H | 拡張スーパーバイザ・データ・アクセス |
| 09 | L | L | H | L | L | H | 拡張非特権・データ・アクセス |

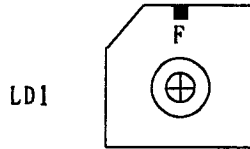
L = low 信号レベル H = high 信号レベル

3-1-2 ベース・アドレス設定

各アドレス形式においてロータリ・スイッチ（LD1～LD6）にて設定して下さい。

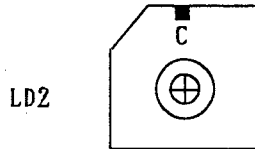
①アドレス A 3 1 - A 2 8 設定

LD1 にてHex コードにより設定します。



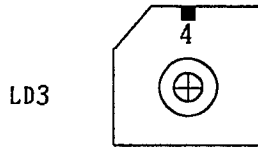
②アドレス A 2 7 - A 2 4 設定

LD2 にてHex コードにより設定します。



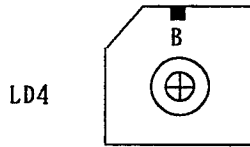
③アドレス A 2 3 - A 2 0 設定

LD3 にてHex コードにより設定します。



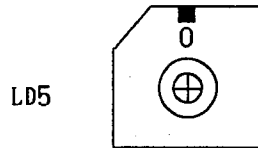
④アドレス A 1 9 - A 1 6 設定

LD4 にてHex コードにより設定します。



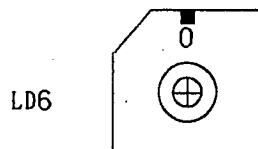
⑤アドレス A 1 5 - A 1 2 設定

LD5 にてHex コードにより設定します。



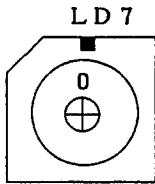
⑥アドレス A 1 1 - A 8 設定

LD6 にてHex コードにより設定します。



3-1-3 アドレス・モード設定

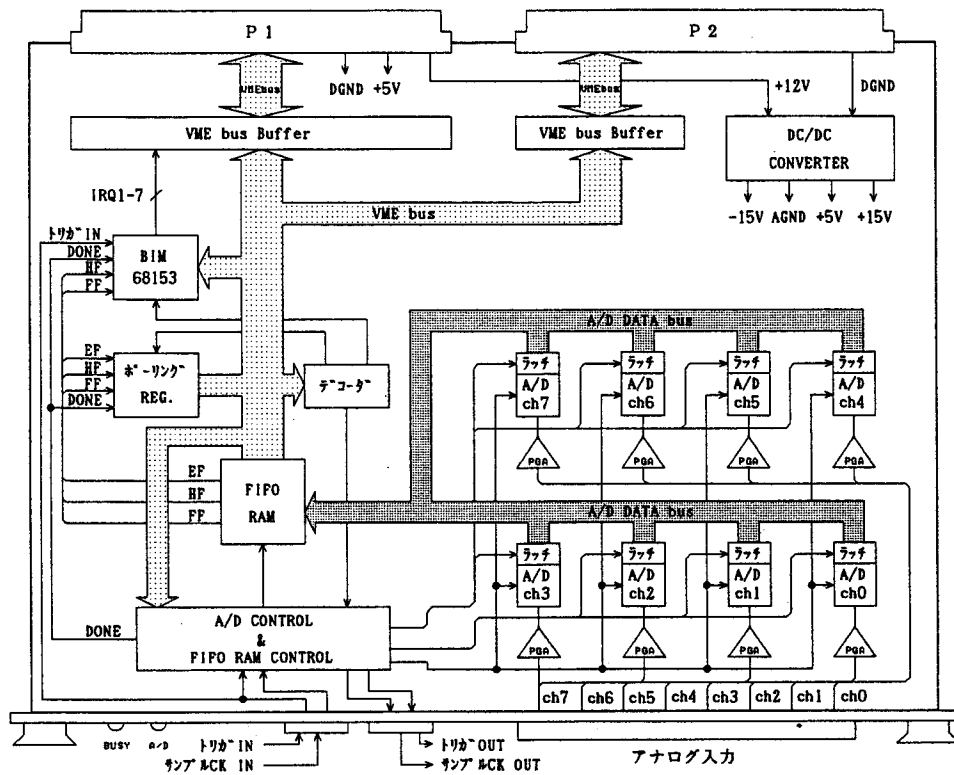
本モードのアドレス・モードはロータリ・スイッチ（LD7）にて設定が行えます。



| LD7 | 特権／非特権／OR | 拡張／標準／ショート |
|-----|-----------|------------|
| 0 | 非特権 | 拡張 |
| 1 | 非特権 | 標準 |
| 2 | 非特権 | ショート |
| 3 | * | * |
| 4 | 特権 | 拡張 |
| 5 | 特権 | 標準 |
| 6 | 特権 | ショート |
| 7 | * | * |
| 8 | OR | 拡張 |
| 9 | OR | 標準 |
| A | OR | ショート |
| B | * | * |
| C | * | * |
| D | * | * |
| E | * | * |
| F | * | * |

*：禁止

3-2 A/D変換モード



PVME-303 ブロック図

3-2-1 概要

本ボードはブロック図の通り独立型A/D変換方式を採用することで、チャンネル数によるスループットレートの変化がありません。

変換データは順次FIFOメモリに貯えられ、フラグ(EF/HF/FF)状態を監視しながら、必要なときに読み取ることができます。又、変換データにはチャンネル番号が付加できますのでデータ管理に役立ちます。

変換シーケンスはトリガ信号(内部/外部)発生後、同期信号(インターバルタイマ/外部クロック)に同期しながら、設定に応じたチャンネル数、及び、変換回数にて変換を行います。変換終了時には、終了ステータス信号(DONE)を発生します。本ボードはマスタ/スレーブ構成のカスケード接続により多チャンネル同時サンプリングに対応することができます。

モード

①モード1（内部トリガーインターバル タイマー）

内部トリガにてインターバル タイマーに同期した変換が設定チャンネル、及び変換回数で行われ、変換データは FIFO メモリに蓄積されます。FIFO メモリはデータ レジスタ 0 にて読み出しが行なえます。

②モード2（内部トリガー外部クロック）

内部トリガにて外部クロック信号に同期した変換が設定チャンネル、及び変換回数で行われ、変換データは FIFO メモリに蓄積されます。FIFO メモリはデータ レジスタ 0 にて読み出しが行なえます。

③モード3（外部トリガーインターバル タイマー）

外部トリガにてインターバル タイマーに同期した変換が設定チャンネル、及び変換回数で行われ、変換データは FIFO メモリに蓄積されます。FIFO メモリはデータレジスタ 0 にて読み出しが行なえます。

④モード4（外部トリガー外部クロック）

外部トリガにて外部クロックに同期したサンプリングが設定チャンネル、及び変換回数で行われ、変換データは FIFO メモリに蓄積されます。FIFO メモリはデータ レジスタ 0 にて読み出しが行なえます。

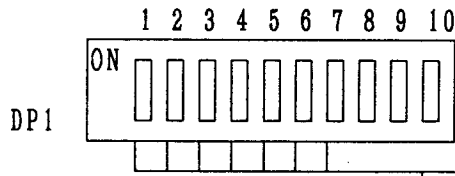
⑤モード5（スレーブ）

マスタ（モード1～4）に設定されたボードからの同期信号に同期したサンプリングを設定チャンネルに従い行います。変換データは FIFO メモリに蓄積されます。FIFO メモリはデータレジスタ 0 にて読み出しが行なえます。

注：各モードはボード上のディップ スイッチ（DPI）にて設定します。

3-2-2 モード設定

モード設定はディップ スイッチ (DP1) にて行います。



注) 10: 未使用

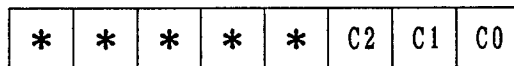
| 1 | 2 | 3 | 4 | 5 | 6 | 7 | モード (マスタ)/スレーブ |
|-----|-----|-----|-----|-----|-----|-----|----------------|
| ON | OFF | OFF | ON | OFF | ON | ON | 1 (マスタ) |
| ON | OFF | OFF | OFF | ON | ON | OFF | 2 (マスタ) |
| OFF | ON | OFF | ON | OFF | ON | ON | 3 (マスタ) |
| OFF | ON | OFF | OFF | ON | ON | OFF | 4 (マスタ) |
| OFF | OFF | ON | OFF | OFF | OFF | OFF | 5 (スレーブ) |

3-2-3 使用チャンネル数設定

コントロール レジスタ 6 に本ボードで使用するチャンネル数を所定のフォーマットに従いバイト・アクセスにて書き込みます。チャンネル数は最大 8チャンネルまで設定が行なえます。

コントロール レジスタ 6 (ベース・アドレス + 23h)

フォーマット, D7 D6 D5 D4 D3 D2 D1 D0



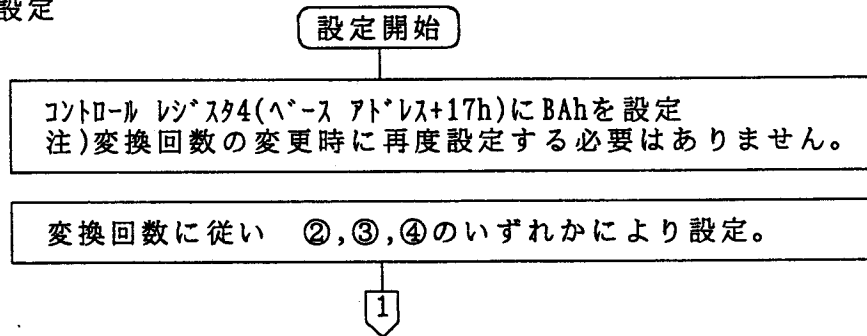
| C2 | C1 | C0 | チャンネル数 |
|----|----|----|--------|
| 0 | 0 | 0 | 1 |
| 0 | 0 | 1 | 2 |
| ~ | ~ | ~ | ~ |
| 1 | 1 | 0 | 7 |
| 1 | 1 | 1 | 8 |

3-2-4 変換回数設定

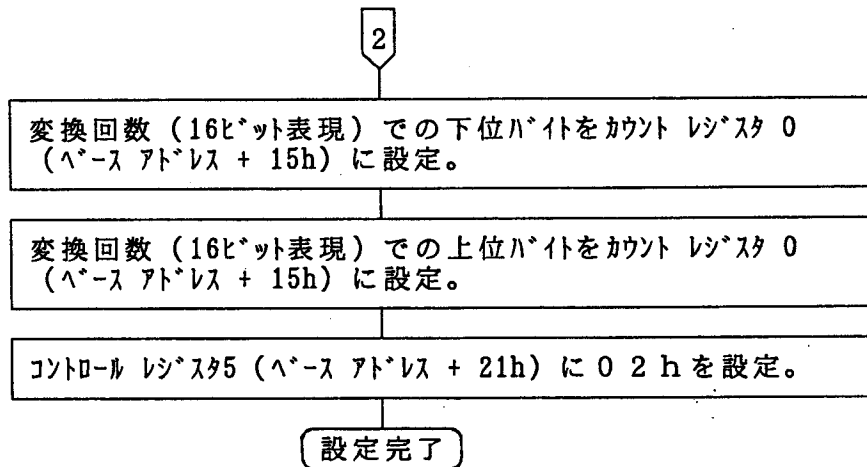
変換回数は1～65536回と無限回の範囲にて設定が行えます。変換回数は16ビット・カウンタによりカウントされますので、設定については、次のシーケンスに従い、カウントレジスタ0、コントロールレジスタ4、コントロールレジスタ5に値をバイト・アクセスにて書き込んで下さい。

○設定シーケンス

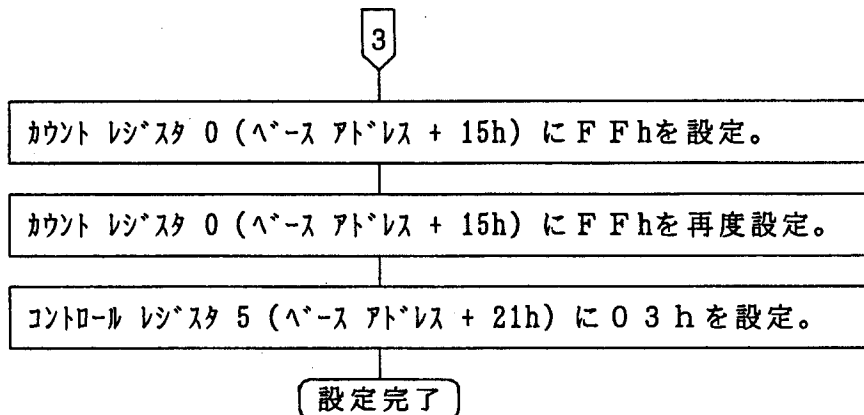
①初期設定



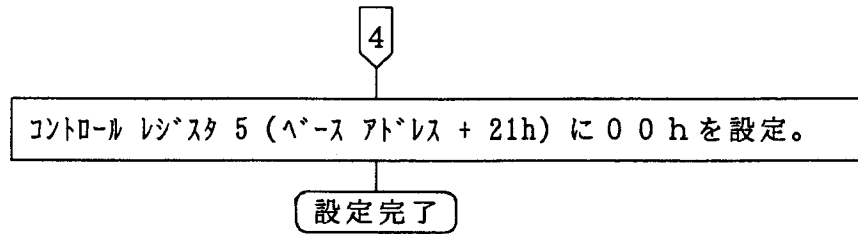
②変換回数 = 1～65535回



③変換回数 = 65536回の場合



④変換回数 = 無限回の場合



注) 無限回設定時は カウントレジスタ 0 の変換回数設定は必要ありません。

○ 変換終了

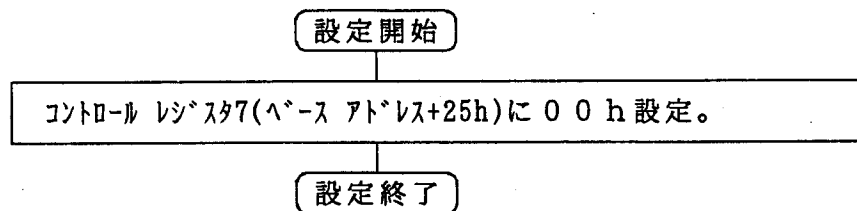
変換回数 = 1 ~ 65536回の場合

変換回数が設定値に達すると終了します。このとき、終了を知らせる DONE 信号が発生、コントロールレジスタ5の DONE ビット及び割り込み要因 DONE をアサートします。

変換回数 = 無限回の場合

変換回数を無限回に設定した時の変換中止とは コントロールレジスタ7に指定の値をバイト・アクセスにて書き込むことで設定します。

又、1 ~ 65535回の設定時にて変換を強制的に中止させることができます。ただし、この場合は、設定回数に達する前であれば、DONE 信号はアサートされません。



3-2-5 同期信号

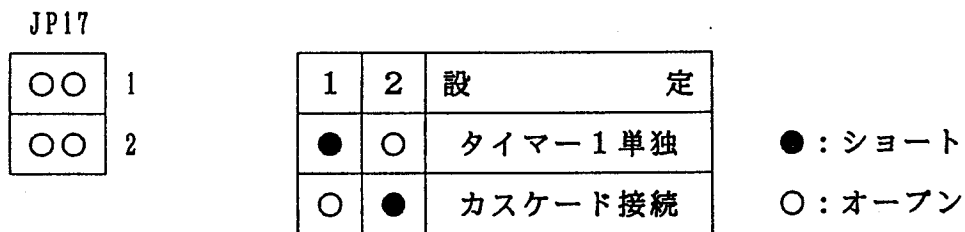
○ インターバルタイマー

インターバルタイマーは、 $10\mu\text{s}$ ～約9分の範囲を最小 125ns ステップにて設定が行えます。又、16ビットタイマー1及びタイマー2から構成されている為、設定時間に応じて単独でタイマー1を使用する場合とタイマー1及びタイマー2をカスケード接続で使用する場合の選択をジャンパー (JP17) にて行います。インターバルタイマーの設定は次のシーケンスに従い、タイマーレジスタ0、タイマーレジスタ1、コントロールレジスタ4に値をバイト・ライトすることで行います。

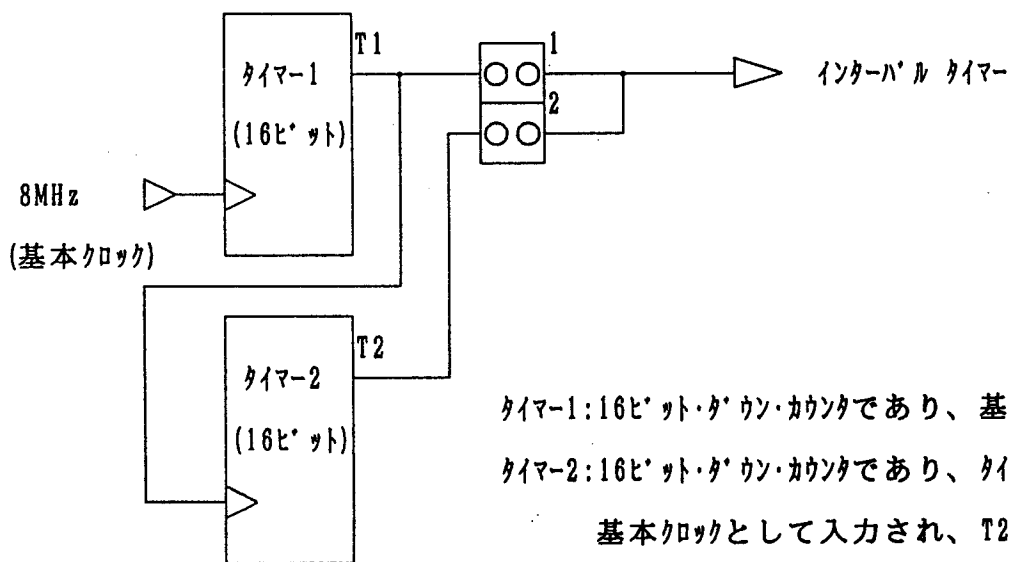
(設定シーケンス)

1) 単独/カスケード選択

タイマー1単独/カスケード接続の選択を JP17 のフォーマットに従い設定します。



JP17 フォーマット



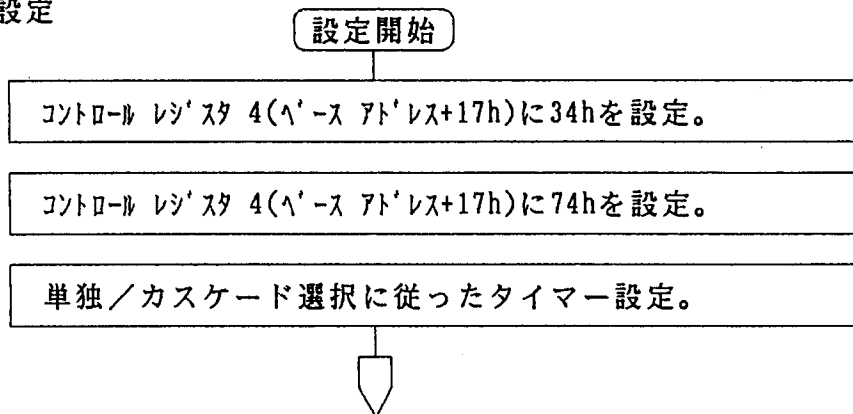
インターバルタイマー・ブロック図

2)タイマー設定

タイマーの設定は次のシーケンスに従いコントロールレジスタ4及びタイマーレジスタ0、タイマーレジスタ1に値をバイト・アクセスにて書き込むことを行います。

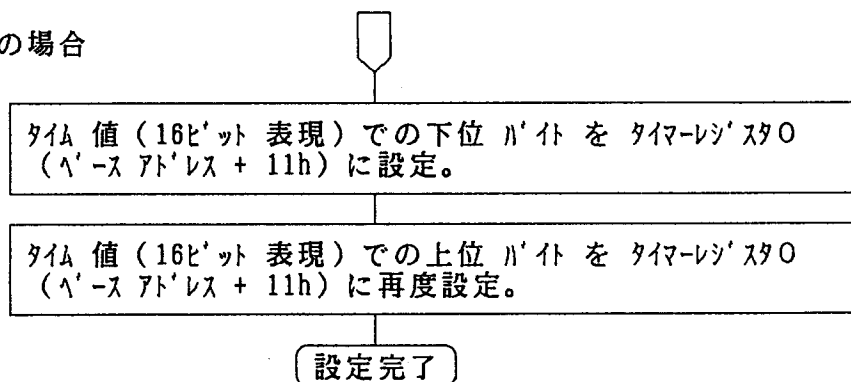
○ 設定シーケンス

①初期設定



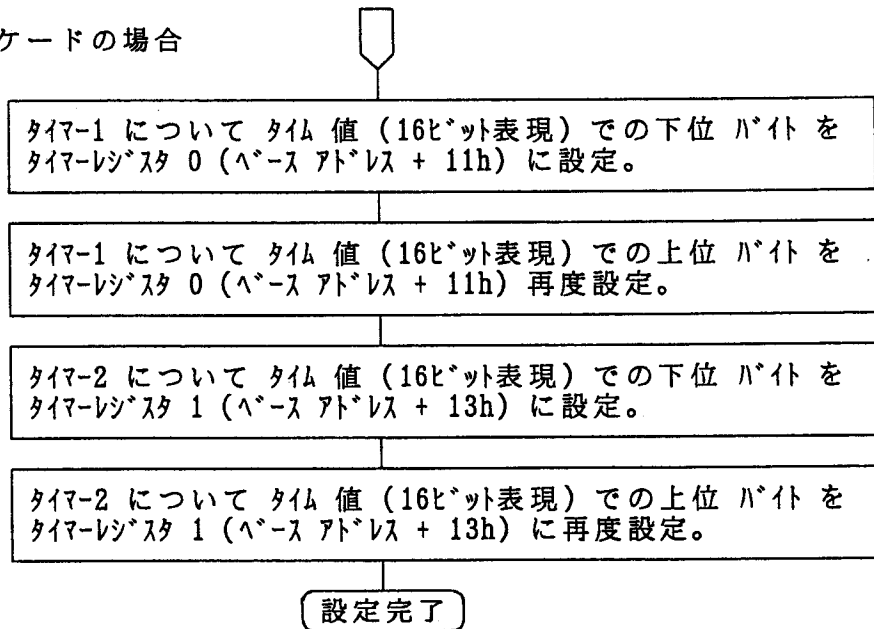
注) フังก์ションレジスタはタイマー設定変更時に再設定の必要はありません。

②単独の場合



注) ①最小設定値は80(0050h)です。

③カスケードの場合



注) ①タイマー 1 の最小設定値は 80 (0050h) です。

①タイマー 2 の最小設定値は 2 (0002h) です。

○ 外部クロック

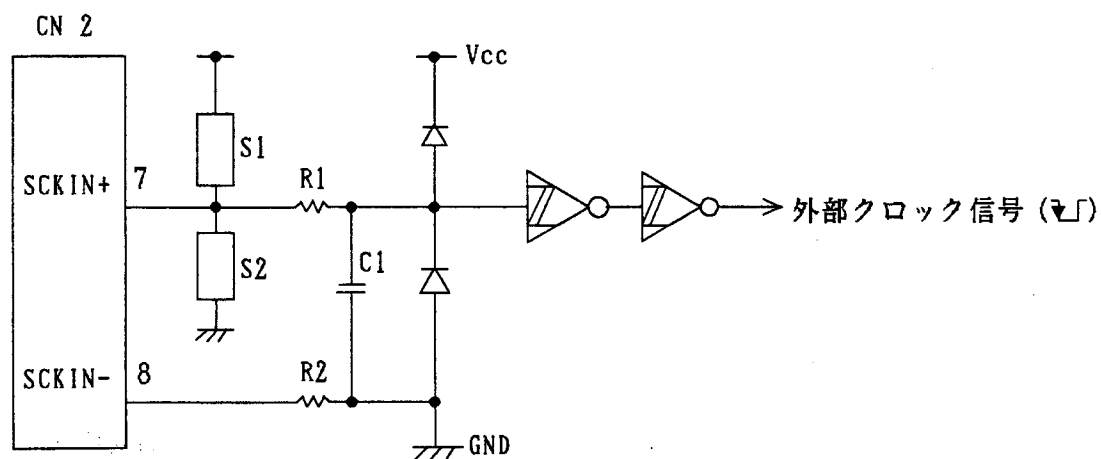
フロント側コネクタ (CN2) の SCK IN+、SCK IN-間に入力されるクロック信号です。 (入力方法)

| コネクタ | ピン番号 | 信号名 | 信号 |
|------|------|---------|----------|
| CN2 | 7 | SCN IN+ | 外部クロック+側 |
| | 8 | SCN IN- | 外部クロック-側 |

電氣的仕様

| 入力レベル | 立ち下りエッジ (↓) (↑) |
|--------------|-----------------|
| パルス間隔 (min) | 10 μs |
| パルス幅 (min) | 50 ns |
| デレイタイム (max) | 50 ns |

外部クロック入力回路)



ターミネイトの抵抗値を変更の場合は、S 1、S 2をお取り換え下さい。又、出荷時は
S 1 = 220 Ω、S 2 = 330 Ωが実装されています。

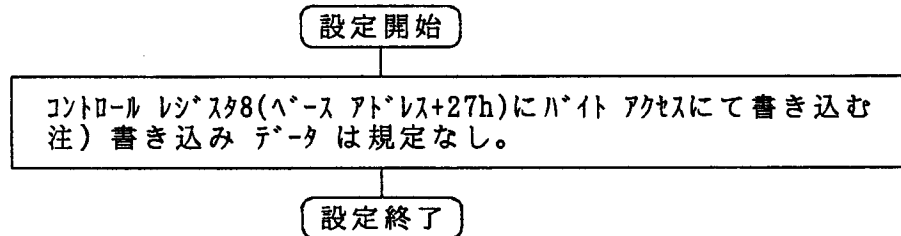
又、ターミネイト抵抗値は本ボードをカスケード接続にて御使用の場合はマスタ及び最終
スレーブボードのみ実装することを推奨致します。

3-2-6 トリガ信号

トリガ信号には、内部トリガと外部トリガがあります。相方ともにコントロールレジスタ7を操作することで許可され有効となります。再トリガ時のトリガ入力はモード1, 2は毎回入力、モード3, 4は強制停止実行後の再トリガ時のみ入力することになります。

○ 内部トリガ

モード1、モード2で使用するトリガです。コントロールレジスタ8をバイトアクセスにて書き込みを行うことで内部トリガは発生します。



○ 外部トリガ

モード3、モード4で使用するトリガです。フロント側コネクタ (CN2) の TRG IN+、TRG IN-間に入力される信号です。

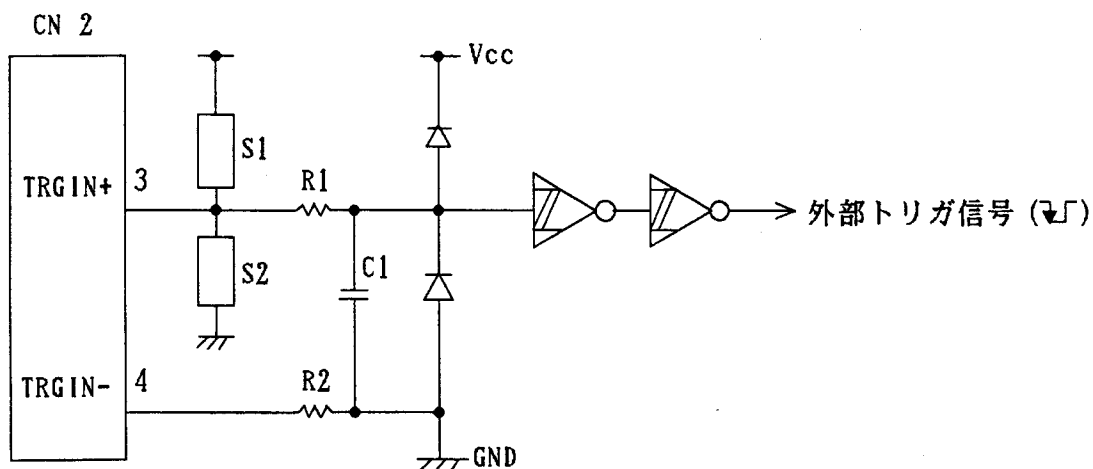
入力方法)

| コネクタ | ピン番号 | 信号名 | 信号 |
|------|------|---------|----------|
| CN 2 | 3 | TRG IN+ | 外部トリガ +側 |
| | 4 | TRG IN- | 外部トリガ -側 |

電氣的仕様)

| | |
|--------------|-----------------|
| 入力レベル | 立ち下りエッジ (↓) (↑) |
| スレッシュホールドレベル | TTL レベル |
| パルス幅 (min) | 50 [ns] |
| デレイタイム (max) | 50 [ns] |

外部トリガ入力回路)



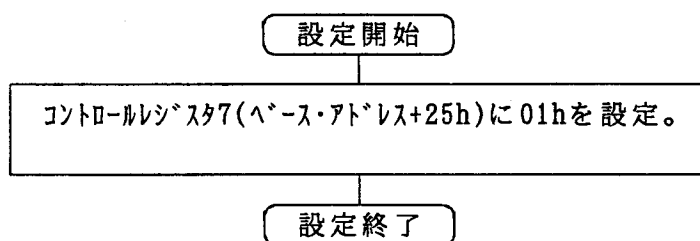
ターミネイトの抵抗値を変更の場合はS1、S2をお取り換え下さい。又、出荷時はS1=220Ω、S2=330Ωが実装されています。

○トリガ イネーブル/ディセーブル

内部トリガ及び外部トリガはコントロールレジスタ7のフォーマットに従い、イネーブルされて有効になります。

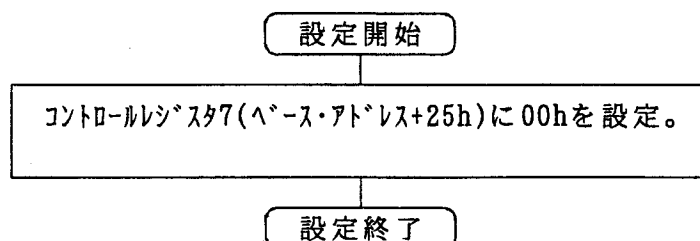
コントロールレジスタ7の設定はバイト・アクセスにて所定の値を書き込むことで行います。

① イネーブル設定



注)

② ディセーブル/変換中止設定



注) ディセーブル/変換中止設定の変換中止とは、トリガ信号の不許可に加えて、変換動作を強制的に停止できることを示します。

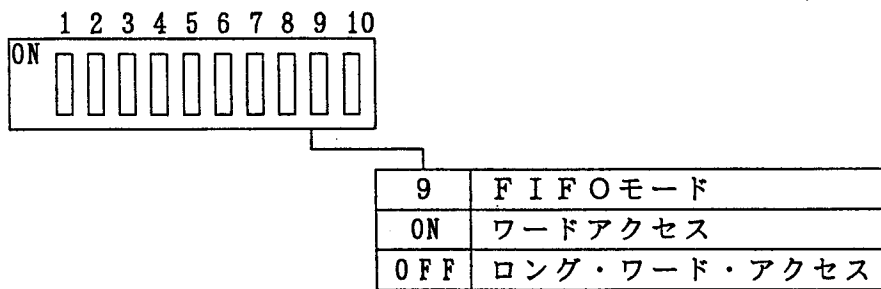
3-2-7 変換データの読み出し

サンプリングにて FIFO に蓄積された変換データは、データレジスタ 0 をワード・アクセス又はロング・ワード・アクセスにて読み出すことができます。

ただし、ワード又はロング・ワードのいずれか一方のアクセスに設定すること、及びデータについてチャンネル番号の有／無の設定が必要です。これらの設定はディップスイッチ (DP1) にて行います。

○ FIFOモード設定

ディップスイッチ (DP1) の 9 にてフォーマットに従い設定して下さい。



●ワード設定時：① ワード・アクセスの読み出しのみデータ確定。

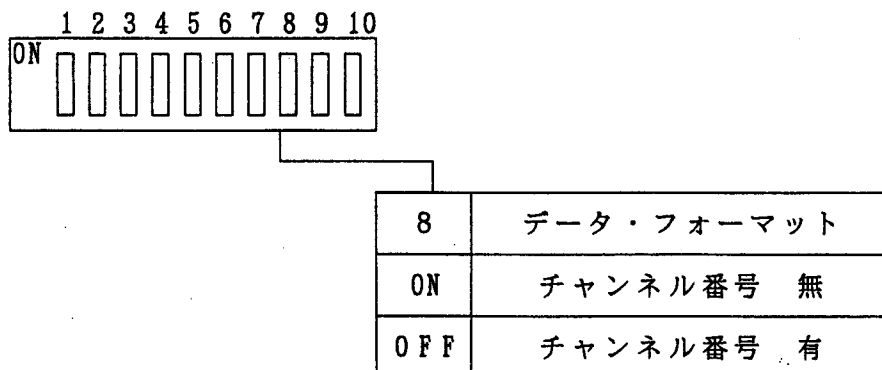
② FIFO 容量 8192ワード。

●ロング・ワード設定時：① ロング・ワードアクセスの読み出しのみデータ確認。

② FIFO 容量 4096ロング・ワード。

○ データ・フォーマット設定

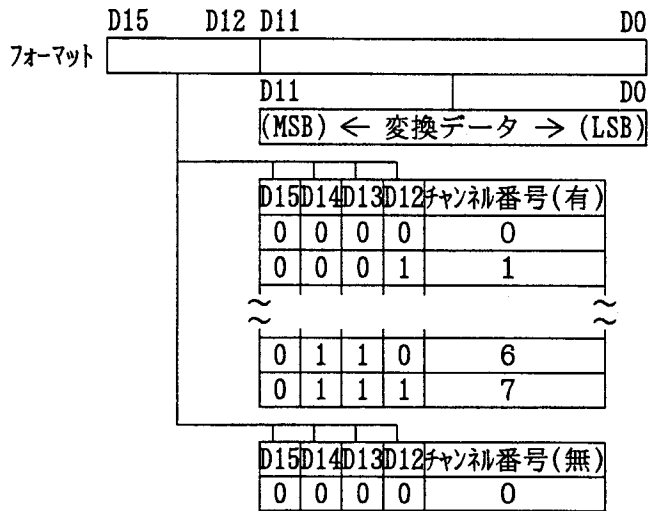
ディップスイッチ (DP1) の 8 にてフォーマットに従い設定して下さい。



○ データ レジスタ 0 データ・フォーマット

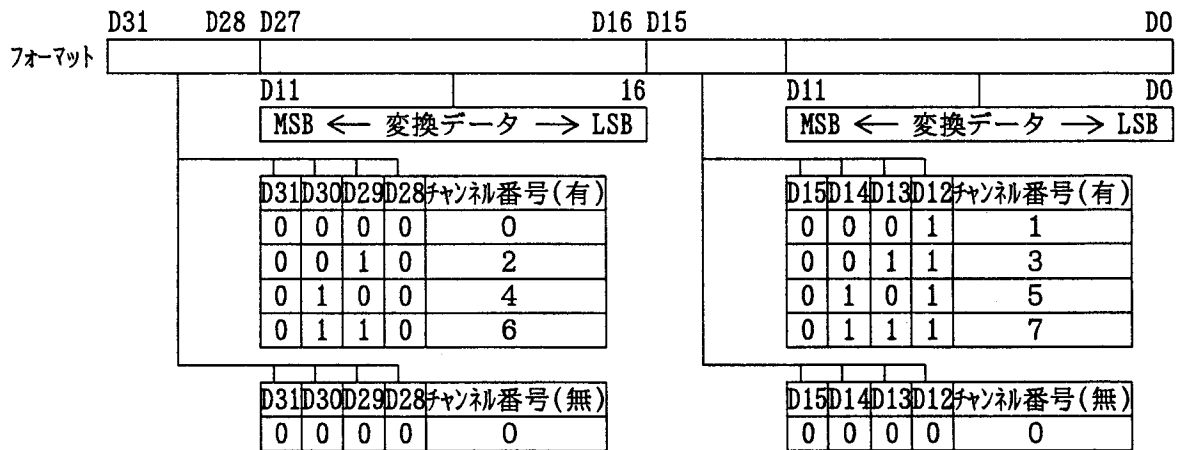
① ワード設定時

データ レジスタ 0 (ベースアドレス + 30h)



② ロング・ワード設定時

データ レジスタ 0 (ベースアドレス + 30h)



○ FIFO メモリ データ マップ

○ ワード設定時

| D13 | D02 D11 | D0 |
|------|---------|----|
| CH 0 | 変換データ | |
| CH 1 | // | |
| CH 2 | // | |
| CH 3 | // | |
| CH 4 | // | |
| CH 5 | // | |
| CH 6 | | |
| CH 7 | | |

注) チャンネル番号(無)設定時 D15-D12 は" 0" 。

○ ロング・ワード設定時

| D31 D28 D27 | D16 D15 D12 D11 | D0 |
|-------------|-----------------|------------|
| CH 0 | 変換データ | CH 1 変換データ |
| CH 2 | // | CH 3 // |
| CH 4 | // | CH 5 // |
| CH 6 | // | CH 7 // |
| CH 0 | | CH 1 |
| CH 2 | | CH 3 |
| CH 4 | | |

注) チャンネル番号(無)設定時 D31-D28/D15-D12 は" 0" 。

3-2-8 マスタ/スレーブ構成

PVME-303 をマスタ/スレーブ構成にてカスケード接続することで多チャンネル同時サンプリングのアプリケーションに対応することができます。

(PVME-303のマスタ/スレーブ構成は VME bus アンキテクチャのアクセス・モードとは関係なく常にスレーブ・モードとしてアクセスされます。)

○ 動作概要

マスタは設定されたA/Dモードに従いサンプリングを開始すると同時にスレーブへの同期信号を出力します。

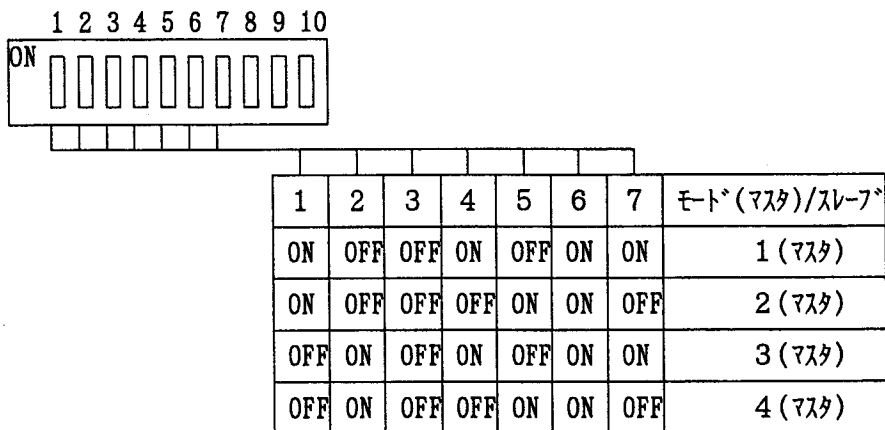
スレーブは、マスタからの同期信号に従いサンプリングを行います。

この時プログラム（ソフト）制御は、マスタ側にて各モードに対応した各レジスタにつき所定の設定を行い、スレーブ側はコントロールレジスタ 6 にてチャンネル設定を行うのみです。

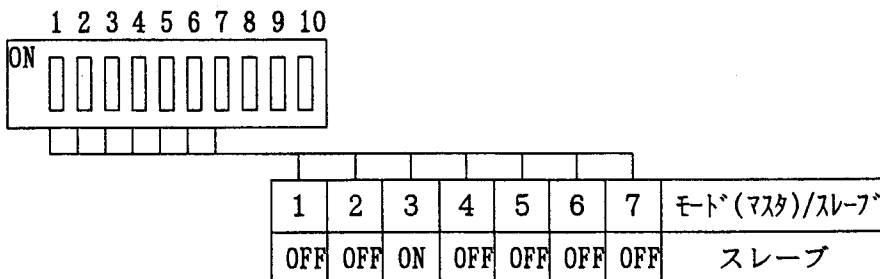
○ マスタ/スレーブ設定

マスタ/スレーブ設定はディップスイッチ（DP1）にて行います。

マスタ

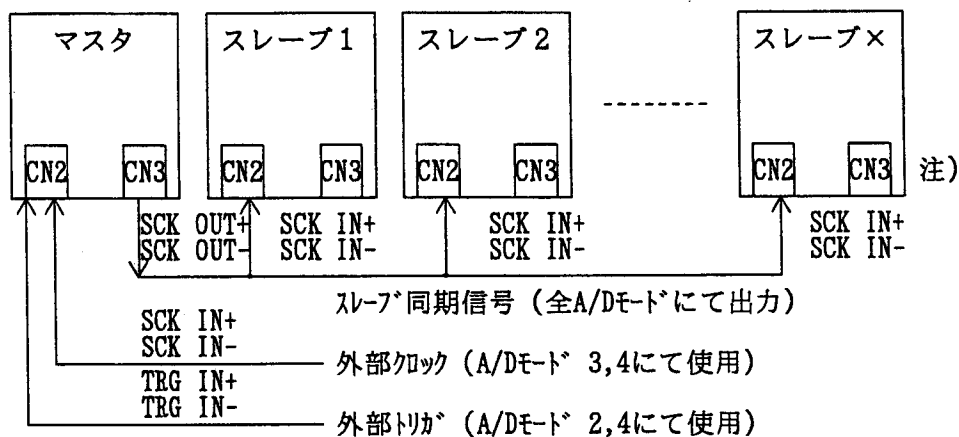


スレーブ



○ コネクタ接続

マスタ/スレーブ構成のコネクタ接続は図4-1の様にします。



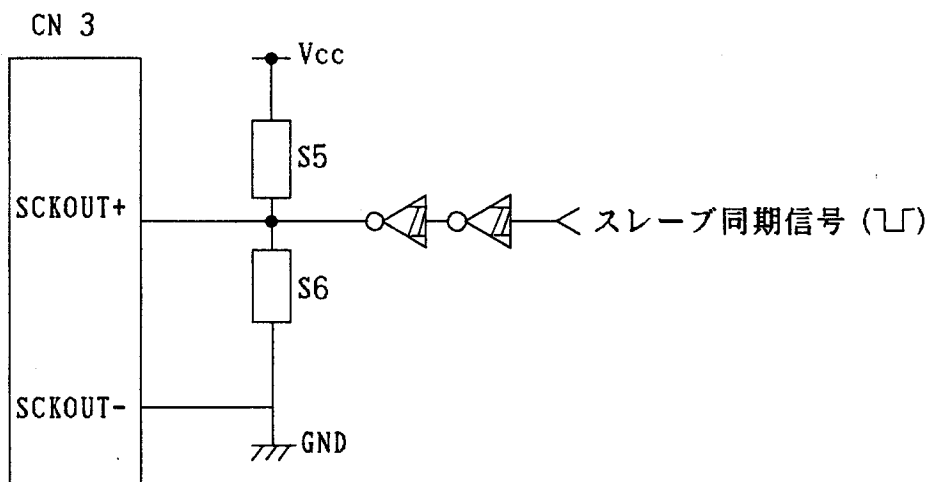
注) CN2 : フロントパネル側 CN2 コネクタ

CN3 : フロントパネル側 CN3 コネクタ

信号電氣的仕様

| | | | |
|------------|--------------------|---------------------------|----------|
| 外部トリガ | コネクタ/+側(ピン)/-側(ピン) | CN2/TRG IN+(3)/TRG IN-(4) | |
| | 入力レベル | TTLレベル 立ち下りエッジ (↓) | |
| | パルス幅 (min) | 50 [ns] | |
| | ディレイタイム (max) | 50 [ns] | |
| 外部クロック | コネクタ/+側(ピン)/-側(ピン) | CN2/SCK IN+(7)/SCK IN-(8) | |
| | 入力レベル | TTLレベル 立ち下りエッジ (↓) | |
| | パルス幅 (min) | 50 [ns] | |
| | ディレイタイム (max) | 50 [ns] | |
| 同期信号 | コネクタ/+側(ピン)/-側(ピン) | CN3/SCKOUT+(7)/SCKOUT-(8) | |
| | 出力波形 | パルス (□) | |
| | 出力レベル | TTLレベル | |
| | 出力電流 | LOH (max) | -15 [mA] |
| | | LOL (max) | 48 [mA] |
| パルス幅 (min) | 100 [ns] | | |

スレーブ同期信号出力回路)



ターミネイトの抵抗値を変更の場合は S1、S2 をお取り換え下さい。又、出荷時は $S1=220\Omega$ 、 $S2=330\Omega$ が実装されています。

又、ターミネイト抵抗は本ボードをカスケード接続にて御使用の場合はマスタ及び最終スレーブボードのみ実装することを推奨致します。

注) SCK OUT+ の $I_{OL}=48\text{mA}(\text{max})$ ですので、抵抗値変更の際は、ドライブ電流を十分考慮して下さい。

3-2-9 フィルタリング機能

各入力チャンネルに対応するコンデンサを外付けする事で、フィルタを構成する事ができます。フィルタリング用にアンプ (M9~16) のサミング点出力端子 (ピン5, 10) があります。内蔵コンデンサに並列に適合したコンデンサを外付けすると出力アンプの応答周波数を抑えることができます。

このことにより応答周波数を犠牲にしてノイズを低減させることができます。

コンデンサとセトリング/カットオフ周波数の関係は図1, 2又、各入力チャンネルに対応するコンデンサの部品番号は図3を参照して下さい。

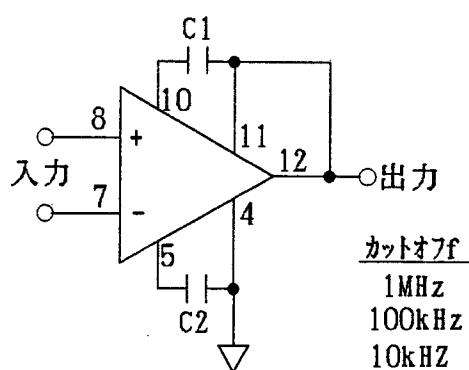
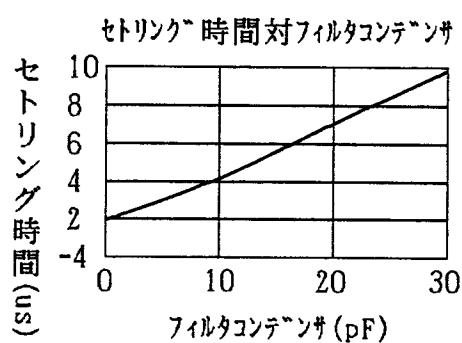


図1. セトリング時間(us) -

フィルタコンデンサ(pF)

図2. カットオフ周波数 - フィルタ

コンデンサ(pf)

| 入力チャンネル | フィルタコンデンサ部品番号 |
|---------|---------------|
| 0 | C119, C120 |
| 1 | C121, C122 |
| 2 | C123, C124 |
| 3 | C125, C126 |
| 4 | C127, C128 |
| 5 | C129, C130 |
| 6 | C131, C132 |
| 7 | C133, C134 |

図3. 入力チャンネル - フィルタコンデンサ部品番号