

## 第4章 割り込み

#### 4-1 割り込み

##### ○ 概 要

割り込み動作は、ベクタ方式であり要求解除は、応答時開放 (ROAK) 又は、レジスタ・アクセス時開放 (ROBA) にて行われます。

割り込み条件設定はコントロール レジスタ 0～3 及びベクタ レジスタ 0～3 にて行います。

割り込み要因は、FIFO メモリの状態に対応した EF・HF・FF 及びサンプリング終了を知らせる DONE があります。

##### ○ 要 因

- ① E F 割り込み要因の EF は FIFO メモリにデータがある状態からすべてのデータを読み込み、空の状態になったときアサートされます。
- ② H F 割り込み要因の HF は FIFO メモリにデータが半分以上になったときアサートされます。
- ③ F F 割り込み要因の FF は FIFO メモリにデータがメモリ容量に達したときアサートされます。
- ④ D O N E サンプリングが変換回数に達したときアサートされます。

○ 要因とレジスタ

割り込み要因とレジスタの関係は次のようになります。

要因	レジスタ名	内容
E F	コントロール レジスタ 0	割り込み動作の制御
	ベクタ レジスタ 0	ベクタ番号 (8ビット)
H F	コントロール レジスタ 1	割り込み動作の制御
	ベクタ レジスタ 1	ベクタ番号 (8ビット)
F F	コントロール レジスタ 2	割り込み動作の制御
	ベクタ レジスタ 2	ベクタ番号 (8ビット)
D O N	コントロール レジスタ 3	割り込み動作の制御
	ベクタ レジスタ 3	ベクタ番号 (8ビット)

○ レジスタ設定

コントロール レジスタ 0～3 及びベクタ レジスタ 0～3 のフォーマットは次のようになります。

外部割り込みレベル								レジスタ名
F	FAC	XIN	IRE	IRAC	L2	L1	L0	コントロール レジスタ 0
F	FAC	XIN	IRE	IRAC	L2	L1	L0	コントロール レジスタ 0
F	FAC	XIN	IRE	IRAC	L2	L1	L0	コントロール レジスタ 0
F	FAC	XIN	IRE	IRAC	L2	L1	L0	コントロール レジスタ 0
V7	V6	V5	V4	V3	V2	V1	V0	ベクタ レジスタ 0
V7	V6	V5	V4	V3	V2	V1	V0	ベクタ レジスタ 0
V7	V6	V5	V4	V3	V2	V1	V0	ベクタ レジスタ 0
V7	V6	V5	V4	V3	V2	V1	V0	ベクタ レジスタ 0
7	6	5	4	3	2	1	0	レジスタ ビット

## 4-2 コントロール レジスタ

コントロール レジスタの各ビットについて説明致します。

- 各割り込みレベルは、L2・L1・L0（ビット2・1・0）にて設定します。  
L2・L1・L0にすべて0（ロー・レベル）を設定したときは、割り込み要求は不許可となります。  
又、レベルについては、表に従い設定を行います。

L 2	L 1	L 0	レ ベ ル
0	0	0	割り込み禁止
0	0	1	1
0	1	0	2
0	1	1	3
1	0	0	4
1	0	1	5
1	1	0	6
1	1	1	7

- 割り込み許可はIRE（ビット4）にて設定します。  
IREを1（ハイ・レベル）にすることで割り込み要求の許可が設定されます。  
このことから、割り込み要因がアサートしてもIREが0（ロー・レベル）に設定されていると、割り込み要求はアサートされません。

IRE	許可／不許可
0	不許可
1	許可

- 割り込み自動解除（応答時開放(ROAK)/レジスタ・アクセス時開放(RORA)設定)  
IRAC（ビット3）に1（ハイ・レベル）を設定したとき、割り込みアクノリッチ・サイクル中に、IRE（ビット4）は0（ロー・レベル）が設定される為、割り込み要求は解除されます。  
又、要因にて再度割り込み要求をアサートするには、IREに1（ハイ・レベル）を設定します

IRAC	自 動 解 除
0	OFF
1	ON

レジスタ・アクセス時開放(RORA)  
応答時開放(ROAK)

#### 4. 外部／内部ベクタ

割り込み動作では各ベクタレジスタの設定値が使用されますので X/IN (ビット5)、0 (ロー・レベル) に設定します。

X-IN	外部／内部ベクタ
0	内部ベクタ

#### 5. フラグ

フラグは、割り込み動作に影響されることなく書き込み／読み込みが行えます。フラグは、システム資源管理のステータス及びマルチタスクやマルチプロセッサのセマフォとして使用されます。又、フラグ (F) はビット7に配置され、MP U 68000 系の Test & Set (TAS) 命令により使用されます。

F	アサート／ネゲート
0	ネゲート
1	アサート

#### 6. フラグ自動解除

フラグ (F) と IRAC (ビット6) に1 (ハイ・レベル) が設置されているとき、割り込みアクロリッチ・サイクル中にフラグ (F) は解除されます。この特長は割り込みステータスやバス・メッセージに使用されます。

注) 各割り込み要因について同一レベルを設定した場合は、優先順位の高い方から処理されます。

D O N E > F F > H F > E F  
 高い ← 優先順位 → 低い

#### 4-3 ベクタ・レジスタ

各要因についてベクタ・レジスタ0～3にて8ビットのベクタ番号を設定します。

V 7	V 6	V 5	V 4	V 3	V 2	V 1	V 0	ビ ッ ト
MSB							LSB	ベクタ番号

## 第5章 ポーリング

## 5-1 ポーリング

### 概要

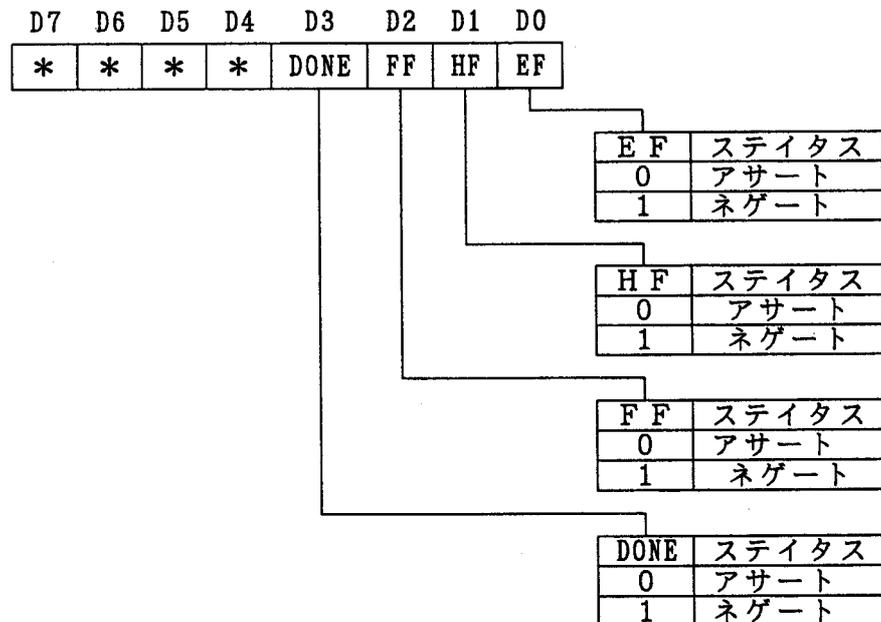
コントロール レジスタ10 を読み出すことで FIFO メモリの状態及びサンプリングの終了をステータスとして読み出すことができます。

### 要因

- ① EF FIFO メモリのデータが空の状態にアサートされます。
  - ② HF FIFO メモリのデータが半分以上の状態にアサートされます。
  - ③ FF FIFO メモリのデータが一杯の状態にアサートされます。
  - ④ DONE サンプリング終了時にアサートされます。
- ただし、DONE 要因は割り込み禁止にて行います。

### レジスタ・フォーマット

コントロール レジスタ10 (ベース・アドレス + 2Bh)

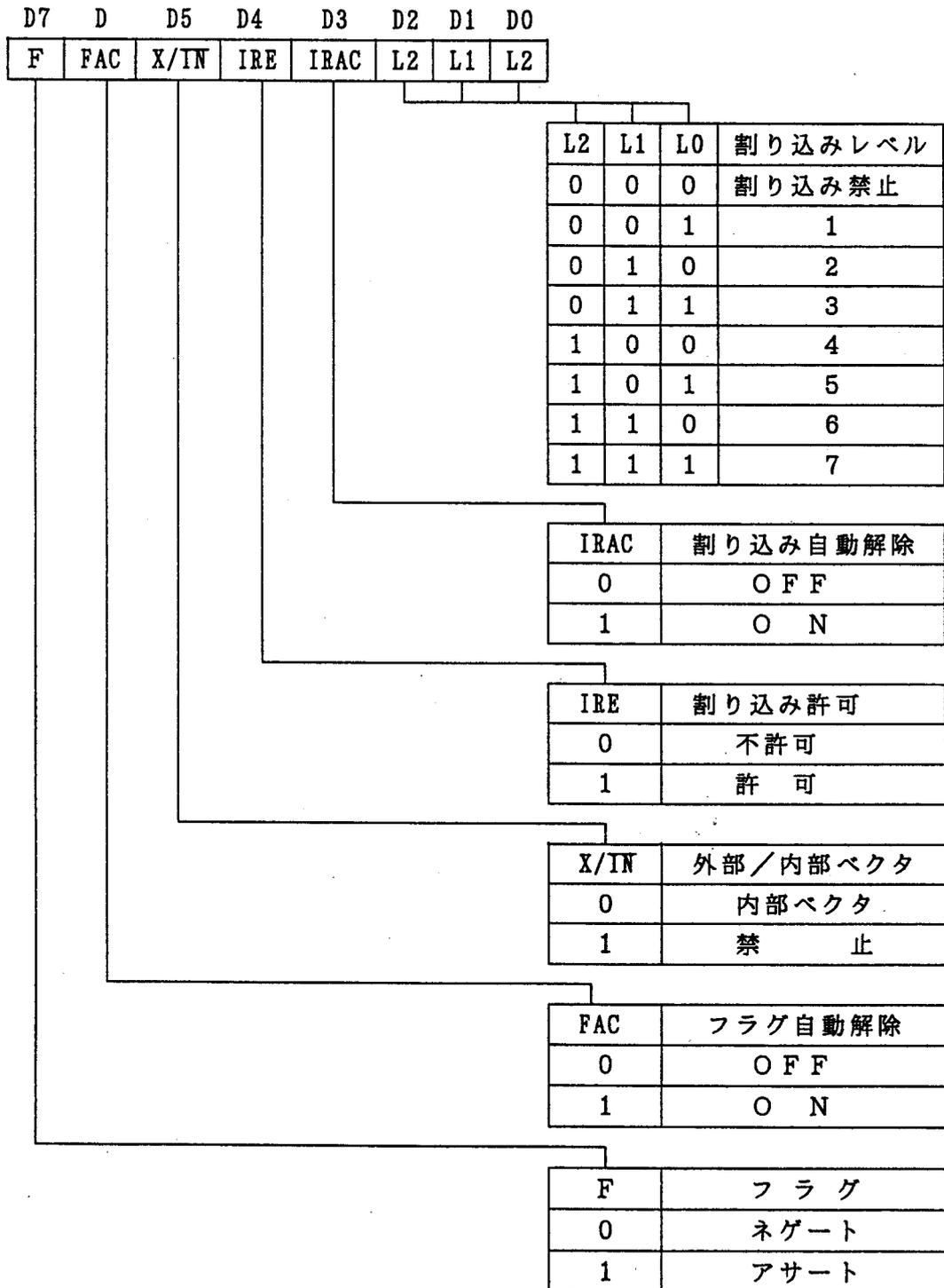


## 第 6 章 レジスタ・フォーマット

6-1 レジスタ・フォーマット

注)

- コントロール レジスタ 0 (ベース・アドレス + 01H) (バイト-リード / ライト)  
 割り込み要因 EF についての割り込み条件設定 レジスタ です。



注) (例)バイト-リード/ライト: 右記の表現はそのレジスタはバイト・アクセスのリード/ライトが行えることを示します。

- コントロール レジスタ 1 (ベース・アドレス + 03H) (ハイト・リード / ライト)  
 割り込み要因 HF についての割り込み条件設定 レジスタ です。



- コントロール レジスタ 2 (ベース・アドレス + 05H) (バイト・リード / ライト)  
 割り込み要因 FF についての割り込み条件設定 レジスタ です。

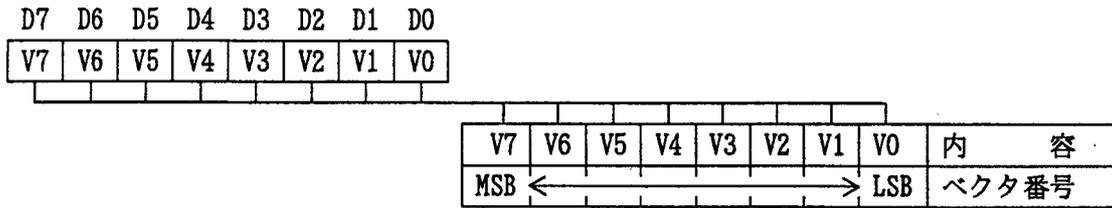


- コントロール レジスタ 3 (ベース・アドレス + 07H) (ライト-リード / ライト)  
 割り込み要因 DONE についての割り込み条件設定 レジスタ です。



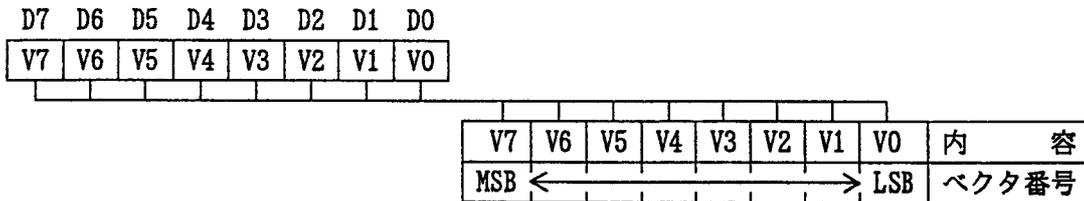
- ベクタ レジスタ 0 (ベース アドレス + 09 h) (バイト-リード/ライト)

割り込み要因 EF に対するベクタ番号の設定レジスタです。



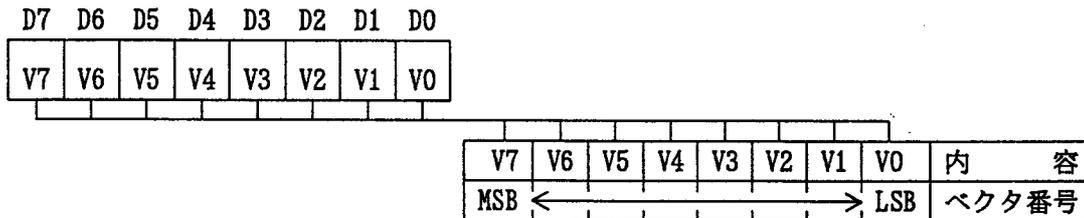
- ベクタ レジスタ 1 (ベース アドレス + 0B h) (バイト-リード/ライト)

割り込み要因 HF に対するベクタ番号の設定レジスタです。



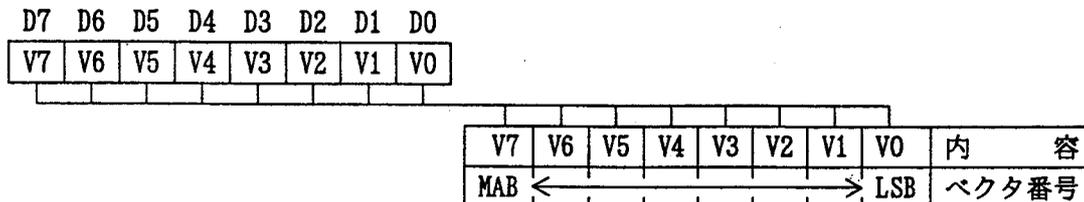
- ベクタ レジスタ 2 (ベース アドレス + 0D h) (バイト-リード/ライト)

割り込み要因 FF に対するベクタ番号の設定レジスタです。

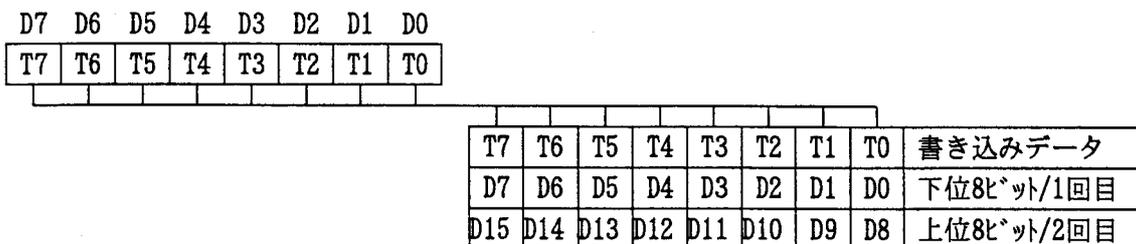


- ベクタ レジスタ 3 (ベース アドレス + 0F h) (バイト-リード/ライト)

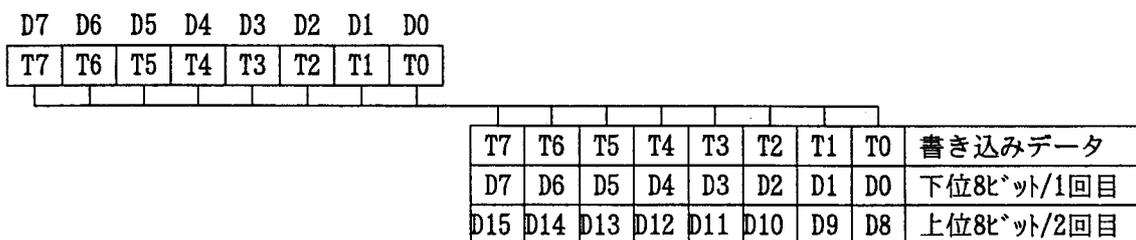
割り込み要因 DONE に対するベクタ番号の設定レジスタです。



- タイマー レジスタ 0 (ベース アドレス + 11h) (バイト-ライト)  
インターバル タイマ用タイマー1に16ビット表現のカウンタ値を下位バイト、上位バイトの順序にて設定するレジスタです。



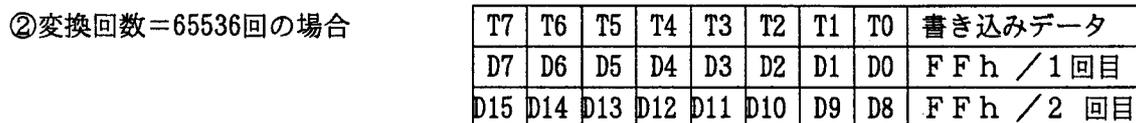
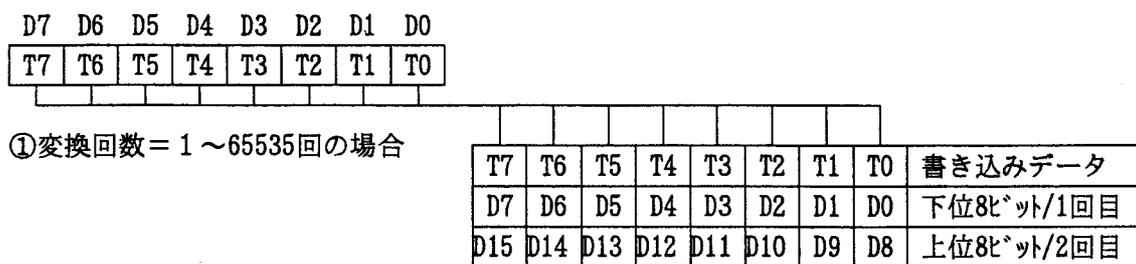
- タイマー レジスタ 1 (ベース アドレス + 13h) (バイト-ライト)  
インターバル タイマ用タイマー2に16ビット表現のカウンタ値を下位バイト、上位バイトの順序にて設定するレジスタです。



- カウンタ レジスタ 0 (ベース アドレス + 15h) (バイト-ライト)

変換回数用カウンタに16ビット表現のカウンタ値を下位バイト、上位バイトの順序にて設定するレジスタです。

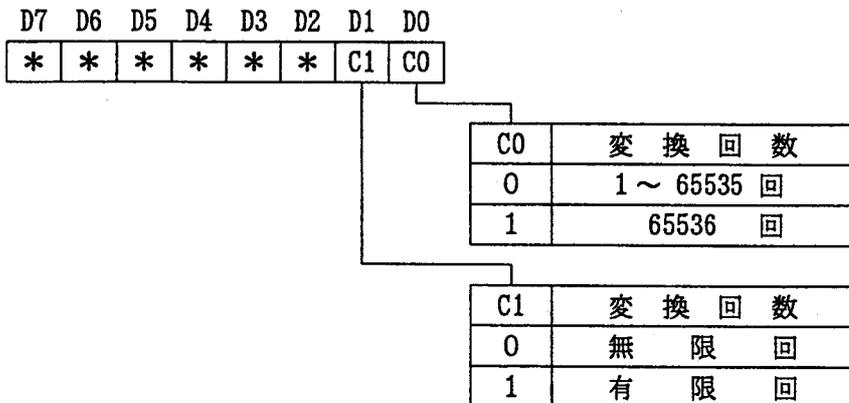
ただし、カウンタ レジスタ 0の設定はコントロール レジスタ 5と共に設定しますので変換回数設定シーケンスに従うようにして下さい。



- ③変換回数 = 無限回の場合    カウンタ レジスタ 0 設定不要。

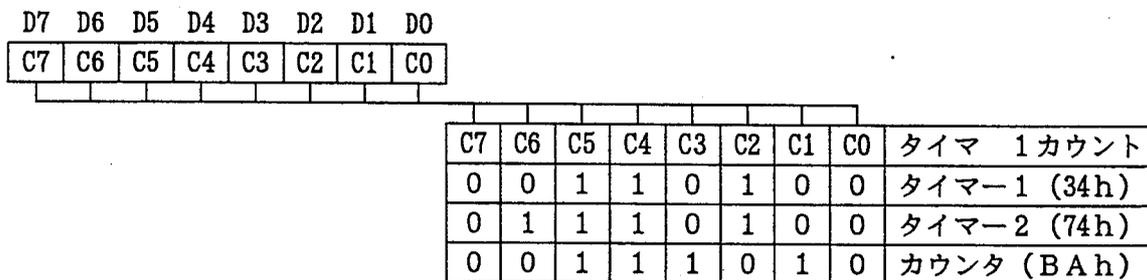
○ コントロール レジスタ 5 (ベース アドレス + 21h) (バイト-ライト)

変換回数用カウンタの設定を行う際に、カウンタ レジスタ 0 と共に設定を行うレジスタです。



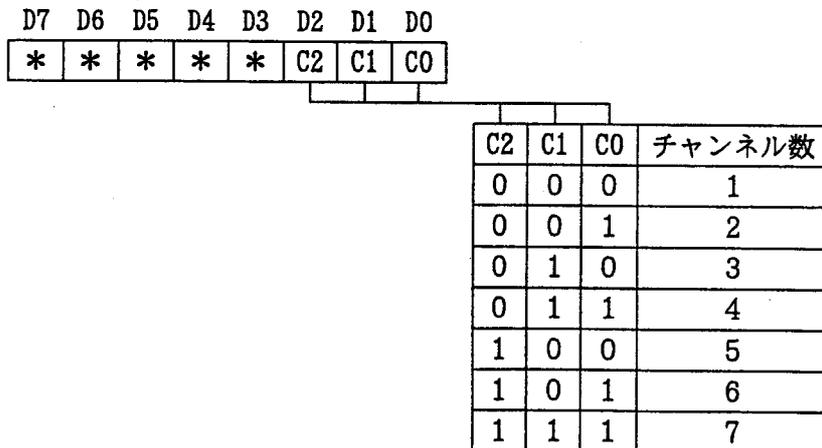
○ コントロール レジスタ 4 (ベース アドレス + 17h) (バイト-ライト)

インターバルタイマ用タイマー1、タイマー2及び変換回数用カウンタの初期設定を行うレジスタです。3つのコードをすべてコントロール レジスタ 4 に設定して下さい。又、カウンタ値変更時に再度設定する必要はありません。

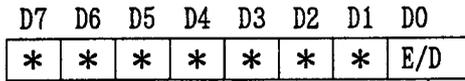


○ コントロール レジスタ 6 (ベース アドレス + 23h) (バイト-ライト)

本ボードにてサンプリングに使用するチャンネル数を設定するレジスタです。

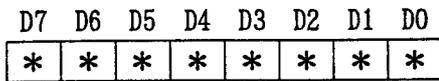


- コントロール レジスタ 7 (ベース アドレス +25h) (バイト-ライト)  
トリガ信号について許可/不許可の設定を行うレジスタです。又、サンプリング動作の中止設定も行うことができます。

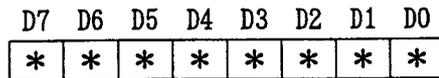


E/D	許可/不許可 (中止)
0	不許可 (中止)
1	許可

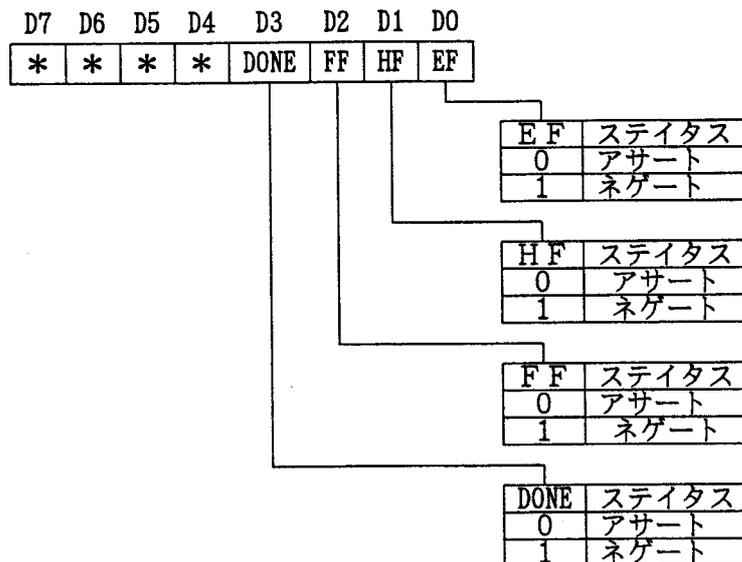
- コントロール レジスタ 8 (ベース アドレス +27h) (バイト-ライト)  
A/D変換モード1・2に使用する内部トリガ発生用レジスタです。バイト・アクセスの書き込み操作にて内部トリガが発生します。



- コントロール レジスタ 9 (ベース アドレス +29h) (バイト-ライト)  
FIFO メモリのリセットを設定するレジスタです。リセット後の FIFO メモリは各フラグ (EF・HF・FF) の状態、及び、内部データが初期化されます。設定は、バイト・アクセスの書き込みにて行われます。



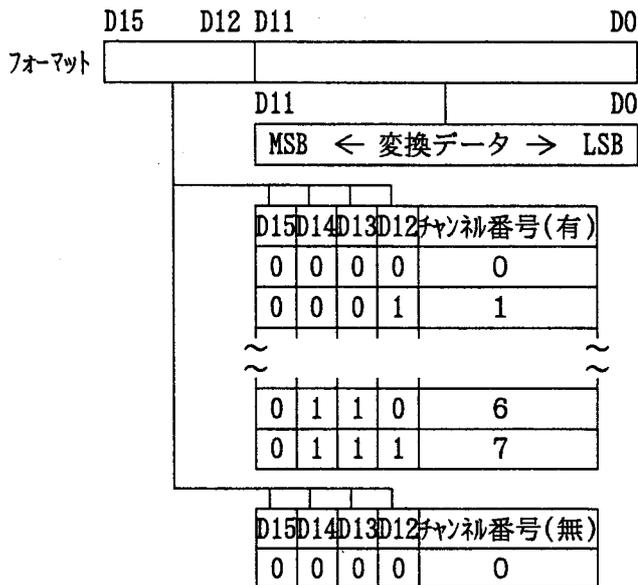
- コントロール レジスタ 10 (ベース アドレス +2Bh) (バイト-ライト)  
ポーリング ステータス参照用のレジスタです。バイト アクセスの読み込みにて参照が行えます。



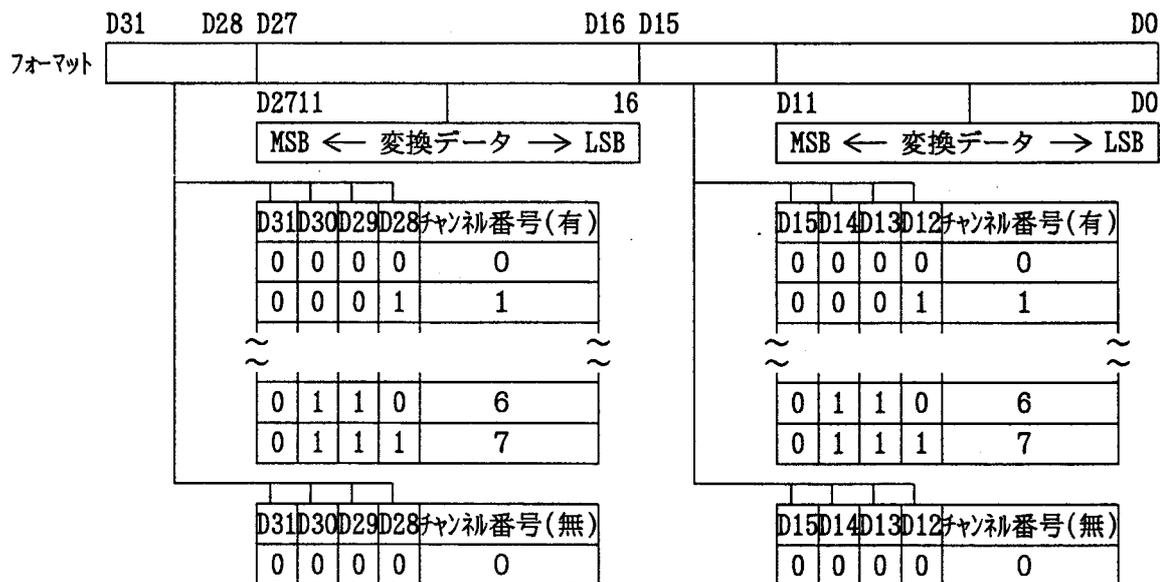
○ データ レジスタ 0 ( ベース アドレス +30h ) (ワード/ロングワード・リード)

FIFO メモリに蓄積されている変換データの参照用レジスタです。変換データにチャンネル番号が付加できる他、FIFO メモリ・リード・モードの設定 (ディップスイッチ DP1 の9ビット) により、ワード又は、ロングワードのいずれかのアクセスにて読み出すことができます。

① ワード設定時 (FIFO リード・モード)



② ロング・ワード設定時 (FIFO リード・モード)



## 第 7 章 ティップスイッチ/ジャンパー設定

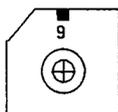
7-1 初期設定値

項目	初期値	部品番号
アドレスモード	OR (特権及び非特権) / 標準 (A24)	LD7
ベースアドレス	FC4B0000h	LD1-LD6
インターハルタイム	カスケード接続	JP17
チャンネル・ナンバー	有	DP1-8
FIFOアクセス	ワード	DP1-9
A/Dモード	モード1 (マスタ)	DP1-7
チャンネル 0	ハイゾーラ ± 10.0[V]レンジ / 電圧入力	JP1,JP9 / SC7
チャンネル 1	ハイゾーラ ± 10.0[V]レンジ / 電圧入力	JP2,JP10/SC8
チャンネル 2	ハイゾーラ ± 10.0[V]レンジ / 電圧入力	JP3,JP11/SC9
チャンネル 3	ハイゾーラ ± 10.0[V]レンジ / 電圧入力	JP4,JP12/SC10
チャンネル 4	ハイゾーラ ± 10.0[V]レンジ / 電圧入力	JP5,JP13/SC11
チャンネル 5	ハイゾーラ ± 10.0[V]レンジ / 電圧入力	JP6,JP14/SC12
チャンネル 6	ハイゾーラ ± 10.0[V]レンジ / 電圧入力	JP7,JP15/SC13
チャンネル 7	ハイゾーラ ± 10.0[V]レンジ / 電圧入力	JP8,JP16/SC14
SCK IN ターミネイト	SC1 : 220Ω      SC2 : 330Ω	SC1, SC2
SCK OUT ターミネイト	SC3 : 220Ω      SC4 : 330Ω	SC3, SC4
TRG IN ターミネイト	SC5 : 220Ω      SC6 : 330Ω	SC5, SC6

## 7-2 アドレス・モード設定

アドレス・モードはLD7にて設定します。

LD7



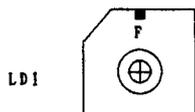
LD7	アドレス・モード
0	非特権 / 拡張 (A32)
1	非特権 / 標準 (A24)
2	非特権 / ショート (A16)
3	*
4	特権 / 拡張 (A32)
5	特権 / 標準 (A24)
6	特権 / ショート (A16)
7	*
8	OR / 拡張 (A32)
9	OR / 標準 (A24)
A	OR / ショート (A16)
B	*
C	*
D	*
E	*
F	*

\* : 禁止

### 7-3 ベース・アドレス 設定

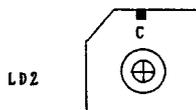
- ① アドレス A 3 1 - A 2 8 設定

LD1 にて Hex コードにより設定します。



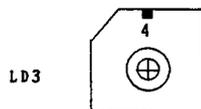
- ② アドレス A 2 7 - A 2 4 設定

LD2 にて Hex コードにより設定します。



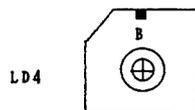
- ③ アドレス A 2 3 - A 2 0 設定

LD3 にて Hex コードにより設定します。



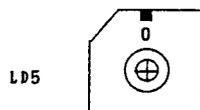
- ④ アドレス A 1 9 - A 1 6 設定

LD4 にて Hex コードにより設定します。



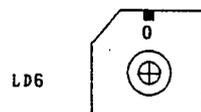
- ⑤ アドレス A 1 5 - A 1 2 設定

LD5 にて Hex コードにより設定します。



- ⑥ アドレス A 1 1 - A 8 設定

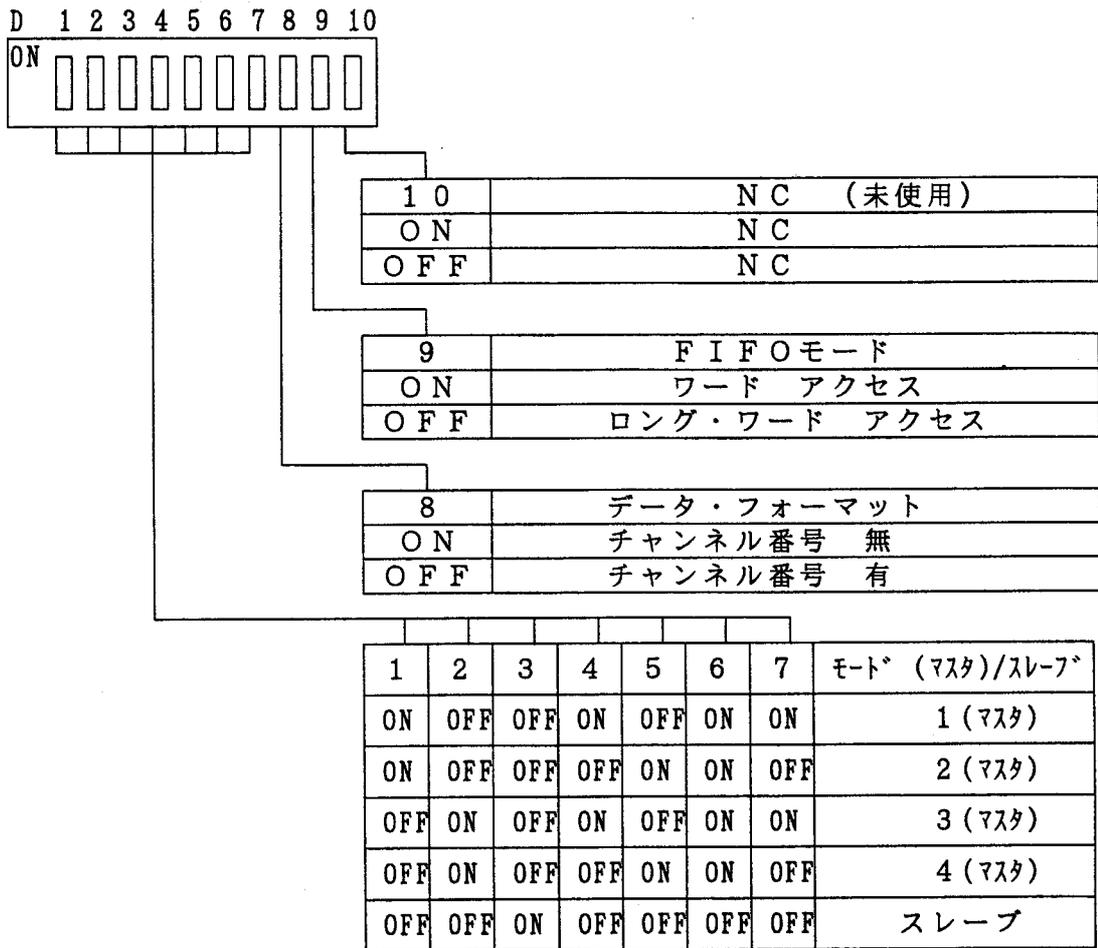
LD6 にて Hex コードにより設定します。



#### 7-4 モード/データ・フォーマット/FIFOモード設定

A/D変換モード、FIFOモード及びデータ・フォーマットの設定はディップ・スイッチ (DP1) にて行います。

DP1

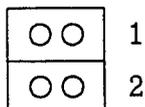


#### 7-5 インターバルタイマ単独/カスケード設定

インターバルタイマ用タイマー1及びタイマー2のカスケード接続設定が行えます。

ジャンパー

(JP25)



1	2	設定
●	○	タイマー1 単独
○	●	カスケード接続

## 7-6 入力レンジ設定

チャンネル0-7のユニポーラ/バイポーラ・レンジ設定はジャンパー (JP1-16) に行います。

各チャンネルとジャンパーの対応及びフォーマットは次の通りです。

チャンネル番号	ユニポーラ/バイポーラ	レンジ
0	JP 9	JP 1
1	JP 10	JP 2
2	JP 11	JP 3
3	JP 12	JP 4
4	JP 13	JP 5
5	JP 14	JP 6
6	JP 15	JP 7
7	JP 16	JP 8

### ユニポーラ/バイポーラ設定フォーマット

#### JP9-JP16共通

3 1

○	○
○	○

3	1	ユニポーラ/バイポーラ
●	○	ユニポーラ
○	●	バイポーラ

### レンジ設定フォーマット

7 5 3 1

○	○	○	○
○	○	○	○

(ユニポーラ時)

7	5	3	1	レンジ [V]
○	○	○	●	0 - 10.0
○	●	○	○	0 - 5.0
●	○	○	○	0 - 2.5

(バイポーラ時)

7	5	3	1	レンジ [V]
○	○	●	○	±10.0
○	○	○	●	± 5.0
○	●	○	○	± 2.5

## 7-7 電圧／電流入力設定

チャンネル0～7について、電圧又は、電流入力の設定を SC7～SC14 にて行います。

又、チャンネルと部品番号の対応及び、設定方法は図の通りです。

チャンネル番号	部品番号	電圧入力設定	電流入力設定
0	SC 7	オープン	I/V 変換抵抗実装
1	SC 8	//	//
2	SC 9	//	//
3	SC 10	//	//
4	SC 11	//	//
5	SC 12	//	//
6	SC 13	//	//
7	SC 14	//	//

注) I/V変換抵抗は、2.54 ピッチのものを選び下さい。

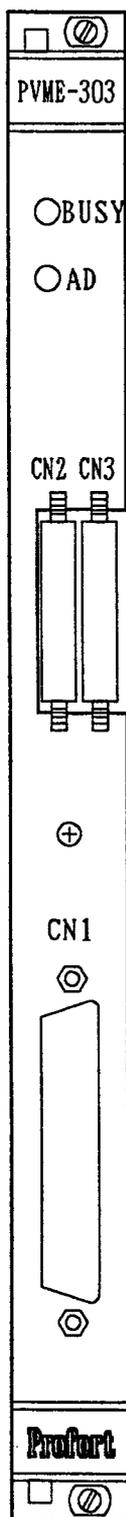
## 7-8 SCK IN / SCK OUT / TRG IN ライン ターミネイト抵抗値設定

SCK IN / SCK OUT / TRG IN ライン ターミネイト抵抗値は対応する部品番号に、任意の抵抗値を実装することで設定できます。ただし、ターミネイト抵抗はあらかじめ初期値により実装されています。

信号ライン名	部品番号 (7°ルアップ側)	初期値	部品番号 (7°ルダウン側)	初期値
SCK IN	SC 1	220 (Ω)	SC 2	330 (Ω)
SCK OUT	SC 3	220 (Ω)	SC 4	330 (Ω)
TRG IN	SC 5	220 (Ω)	SC 6	330 (Ω)

## 第 8 章 ピン・アサイン

8-1 フロントパネル外観



BUSY LED . . . . . ボードがスレーブ  
アクセス時点灯

AD LED . . . . . A/D変換実行中点灯

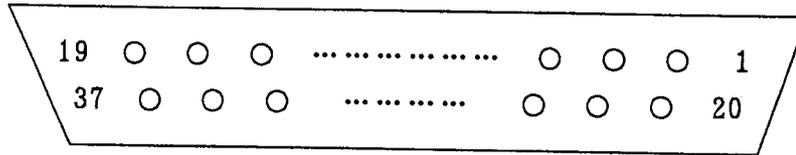
CN 2 . . . . . 外部コントロール信号入力コネクタ

CN 3 . . . . . A/D変換 マスターボード時に  
コントロール信号をA/D変換  
スレーブボードに出力するコネクタ

CN 1 . . . . . アナログ信号入力コネクタ

8-2 アナログ入力コネクタ (CN 1)

- CN 1 (DSUB-37ピン) : 本体側 17LE-13370-27 (D4AB) (DDK製)  
: ケーブル側 17JE-23370-02 (D8A)



DSUBコネクタ (正面図)

○ ピン アサイン表

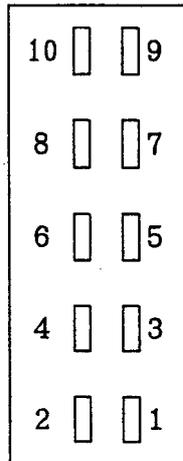
ピン番号	信号ニーマニック	ピン番号	信号ニーマニック
1	ch7 IN+	20	AGND
2	ch7 IN-	21	AGND
3	ch6 IN+	22	AGND
4	ch6 IN-	23	AGND
5	ch5 IN+	24	AGND
6	ch5 IN-	25	AGND
7	ch4 IN+	26	AGND
8	ch4 IN-	27	AGND
9	GND	28	AGND
10	ch3 IN+	29	AGND
11	ch3 IN-	30	AGND
12	ch2 IN+	31	AGND
13	ch2 IN-	32	AGND
14	ch1 IN+	33	AGND
15	ch1 IN-	34	AGND
16	ch0 IN+	35	AGND
17	ch0 IN-	36	AGND
18	AGND	37	AGND
19	AGND		

- 注) ch IN + : アナログ入力 (+側)
- ch IN - : アナログ入力 (-側)
- AGND : コモンランド (アナログ)
- ch X : チャンネル・ナンバ表記

8-3 同期信号コネクタ (CN2・CN3)

○ 同期信号入力コネクタ (CN2)

CN2 (リボンコネクタ 10ピン) : 本体側 FCN-705F010-AU/M (富士通)  
 : ケーブル側 FCN-707B010-AU/O



リボンコネクタ (正面図)

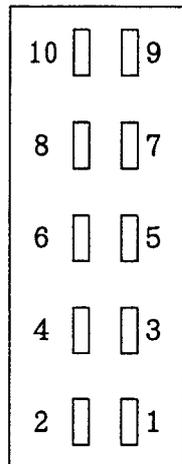
ピン番号	信号ニーモニック	ピン番号	信号ニーモニック
1	DGND	2	DGND
3	TRG IN+	4	TRG IN-
5	DGND	6	DGND
7	SCK IN+	8	SCK IN-
9	DGND	10	DGND

ピン アサイン表

- 注) TRG IN + : 外部トリガ入力 (+側)  
 TRG IN - : 外部トリガ入力 (-側)  
 SCK IN + : 外部クロック入力 (+側)  
 SCK IN - : 外部クロック入力 (-側)  
 DGND : コモン グランド (デジタル)

○ 同期信号コネクタ (CN3)

CN3 (リボンコネクタ 10ピン) : 本体側 FCN-709F010-AU/MS (富士通)  
 : ケーブル側 FCN-707B010-AU/0



リボンコネクタ (正面図)

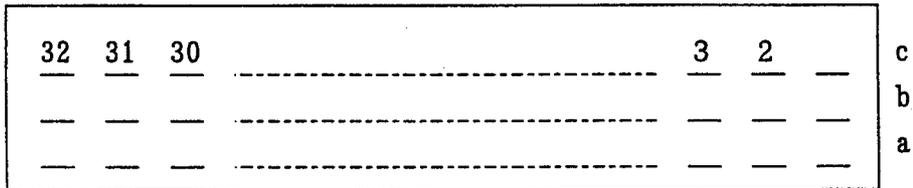
ピン番号	信号ニーマニック	ピン番号	信号ニーマニック
1	DGND	2	DGND
3	DGND	4	DGND
5	DGND	6	DGND
7	SCK OUT +	8	SCK OUT -
9	DGND	10	DGND

ピン アサイン表

- 注) SCK OUT + : スレーブ同期信号出力 (+側)  
 SCK OUT - : スレーブ同期信号出力 (-側)  
 DGND : コモン グランド (デジタル)

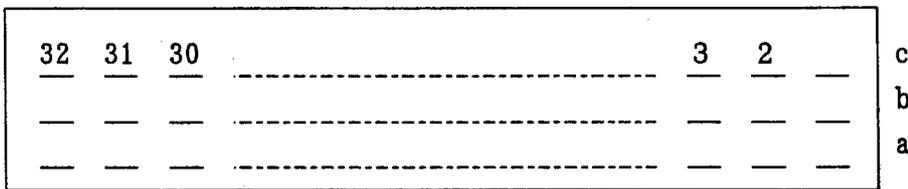
8-4 VME bus コネクタ (P1・P2)

- P1コネクタ (DIN コネクタ 96ピン) : 100-096-053 (PANDUIT製)



D I Nコネクタ (正面図)

- P2コネクタ (DIN コネクタ 96ピン) : 100-096-053 (PANDUIT製)



D I Nコネクタ (正面図)

○ P1コネクタ ピンアサイン表

ピン番号	列 a の信号ニーモニック	列 b の信号ニーモニック	列 c の信号ニーモニック
1	D00	BBSY*	D08
2	D01	BCLR*	D09
3	D02	ACFAIL*	D10
4	D03	BG0IN*	D11
5	D04	BG0OUT*	D12
6	D05	BG1IN*	D13
7	D06	BG1OUT*	D14
8	D07	BG2IN*	D15
9	GND	BG2OUT*	GND
10	SYSCLK	BG3IN*	SYSFAIL*
11	GND	BG3OUT*	BERR*
12	DS1*	BR0*	SYSRESET*
13	DS0*	BR1*	LWORD*
14	WRITE*	BR2*	AM5
15	GND	BR3*	A23
16	DTACK*	AM0	A22
17	GND	AM1	A21
18	AS*	AM2	A20
19	GND	AM3	A19
20	IACK*	GND	A18
21	IACKIN*	SERCLK(1)	A17
22	IACKOUT*	SERDAT*(1)	A16
23	AM4	GND	A15
24	A07	IRQ7*	A14
25	A06	IRQ6*	A13
26	A05	IRQ5*	A12
27	A04	IRQ4*	A11
28	A03	IRQ3*	A10
29	A02	IRQ2*	A09
30	A01	IRQ1*	A08
31	-12V	+5V STDBY	+12V
32	+5V	+5V	+5V

○ P2コネクタ ピンアサイン表

ピン番号	列 a の信号ニーモニック	列 b の信号ニーモニック	列 c の信号ニーモニック
1	使用者定義用	+ 5 V	使用者定義用
2	使用者定義用	GND	使用者定義用
3	使用者定義用	保 留	使用者定義用
4	使用者定義用	A 2 4	使用者定義用
5	使用者定義用	A 2 5	使用者定義用
6	使用者定義用	A 2 6	使用者定義用
7	使用者定義用	A 2 7	使用者定義用
8	使用者定義用	A 2 8	使用者定義用
9	使用者定義用	A 2 9	使用者定義用
10	使用者定義用	A 3 0	使用者定義用
11	使用者定義用	A 3 1	使用者定義用
12	使用者定義用	GND	使用者定義用
13	使用者定義用	+ 5 V	使用者定義用
14	使用者定義用	D 1 6	使用者定義用
15	使用者定義用	D 1 7	使用者定義用
16	使用者定義用	D 1 8	使用者定義用
17	使用者定義用	D 1 9	使用者定義用
18	使用者定義用	D 2 0	使用者定義用
19	使用者定義用	D 2 1	使用者定義用
20	使用者定義用	D 2 2	使用者定義用
21	使用者定義用	D 2 3	使用者定義用
22	使用者定義用	GND	使用者定義用
23	使用者定義用	D 2 4	使用者定義用
24	使用者定義用	D 2 5	使用者定義用
25	使用者定義用	D 2 6	使用者定義用
26	使用者定義用	D 2 7	使用者定義用
27	使用者定義用	D 2 8	使用者定義用
28	使用者定義用	D 2 9	使用者定義用
29	使用者定義用	D 3 0	使用者定義用
30	使用者定義用	D 3 1	使用者定義用
31	使用者定義用	GND	使用者定義用
32	使用者定義用	+ 5 V	使用者定義用