

July 1994
kek-limac

PVME-501

デジタル I/O ボード

ユーザーズ・マニュアル

はじめに

本マニュアルは、デジタルI/OボードPVME-501の概要及び、取扱いについて述べたものです。

PVME-501はVMEbus (Rev. c) 対応の高速デジタルI/Oボードです。
プログラマブルな80BitのI/Oはオプションによりさまざまなアプリケーションに対応する入出力形態を構成できます。

また、ジャンパーの切り替えにより背面P2コネクタ側より40Bitの入出力が可能です。
データ幅はD32, D16, D8をサポートしています。

80BitのI/Oは、8Bit (バイト) 毎にポート名がつけられており、PORT A~H, J, Kの10ポートあります。

PORT J, Kにつきましては、PORT A~Hのハンドシェイクラインとして使用できるほか、単独のI/Oポートとしても使用できます。

I/Oアクセス時のアクセスタイムが200ns以下ですので、バスの占有時間を短縮することができます。

ご使用になる前に、本マニュアルの内容をよくご理解いただき有効にご利用ください。

目 次

1. 概要		
1-1	特長	1
1-2	仕様	2
1-3	ブロック図	4
1-4	アドレス・マップ	5
2. 取扱い方法		
2-1	部品の確認	6
2-2	御使用上の注意事項	6
3. 機能		
3-1	アドレス空間	7
3-2	タイマ	8
3-3	P 2 側入出力	13
3-4	パターンマッチ	15
3-5	I/O アクセス	17
4. 割り込み		
4-1	インターラプト要因	19
4-2	設定手順	19
5. 各レジスタ説明		
5-1	アクセス条件	20
5-2	レジスタ	20
6. ジャンパー設定方法		
6-1	AMライン	36
6-2	ベース・アドレス	37
6-3	タイマ	39
6-4	外部供給電源	40
6-5	P 2 側入出力	45
7. コネクタ・ピンアサイン		
7-1	入出力用コネクタ CN 1 , CN 2 , CN 3 , CN 4	47
7-2	VME BUS用コネクタ	52
7-3	ジャンパー・ピン, ネットワーク抵抗配置図	54
8. 使用例		
8-1	設定例	55
9. I/Oモジュール		
9-1	仕様	62
9-2	回路構成	64
9-3	I/Oモジュール電源	68
9-4	ピンアサイン	69
9-5	基板寸法及び外形図	74
10. その他		
10-1	保証について	78
10-2	オーダーリング・インフォメーション	78

第 1 章 概 要

1-1 特 長

PVME-501は、VMEbus (Rev. C)仕様であり、次の特長を備えています。

■ベース・ボード機能

- 1) フロント側80Bit、背面P2側40Bit (ジャンパー選択) の入出力
- 2) 割り込みレベル1~7をサポート
- 3) 外部トリガ信号、ユーザー・タイマ、ビットパターンマッチ機能による割り込みの発生
- 4) EXITタイマ (外部出力用タイマ)
- 5) フォトカブラの電源をバイト単位でのジャンパー設定により内部もしくは、外部の選択が可能
- 6) データ幅8/16/32bit対応
- 7) EXITタイマ、トリガ入力の絶縁

■I/Oモジュール機能

- 1) MDL-01 (標準品)
汎用フォトカブラによるアイソレーション入力: 40Bit
汎用フォトカブラによるアイソレーション + ダーリントン出力: 40Bit
入力電圧5V/12V/24V 対応
- 2) MDL-02
高速フォトカブラによるアイソレーション入力: 40Bit
高速フォトカブラによるアイソレーション出力: 40Bit
- 3) MDL-03
TTL入力: 40Bit
TTLオープンコレクタ出力: 40Bit
- 4) MDL-04
汎用フォトカブラによるアイソレーション入力: 40Bit
- 5) MDL-05
汎用フォトカブラによるアイソレーション + ダーリントン出力: 40Bit
- 6) MDL-06
TTL入力: 40Bit
- 7) MDL-07
TTLオープンコレクタ出力: 40Bit
- 8) MDL-99
ユニバーサル基板: 40Bit

※ MDL-04, 05, 06, 07, 99は片側40Bitタイプですのでシステムに合わせて構成して下さい。

1-2 仕様

1-2-2 メインボード仕様

インターフェース部

バス形式	VMEbus (Rev. C) 準拠
アドレス	A16/A24/A32ビットアドレス対応 占有アドレス: 256バイト 上位アドレス、ジャンパーにてフルデコード
AMコード	特権, 非特権, 特権/非特権のデータアクセス
転送データ幅	D32, D16, D8
インターラプト	ベクタ方式、1~7レベルをソフトウェアセレクト
動作表示	アクセス時LED (グリーン) 点灯

デジタルI/O部

入出力ビット数	80ビット (8ビット × 10ポート)
入出力方向	バイト毎 (ポート単位) に方向性をソフトウェアセレクト
入出力特性	I/O モジュール 参照
ハンドシェイク	PORT J, K (8ビット×2) を使用

タイマー部

ユーザタイマ	16ビット長のユーザ プログラマブルタイマ、割り込み発生可 基本周期125ns、またはカスケード接続によるクロックタイマの どちらかをジャンパセレクト
クロックタイマ	16ビット長カウンタ 基本周期125ns
パターンマッチ用 クロック	16ビット長の外部出力タイマ 基本周期125ns、またはカスケード接続によるクロックタイマの どちらかをジャンパセレクト ※ ジャンパ設定によりEXITタイマとして使用

パターンマッチ部

ビット数	16ビット (8ビット×2)
比較データ幅	8ビットのOR, 8ビットのマスクCポート, 8ビットのマスクDポート, 8ビットのマスク, 16ビットのマスク

※レジスタ説明を参照

外部トリガー

ビット数	1ビット
入力レベル	立下がりエッジ (↓)
スレッショルド・レベル	H: 3.15V (MAX) L: 0.9V (MIN) (VCC=4.5V)
パルス幅	2.5 μ s (L) (MIN)
ディレイタイム	t _{ON} = 2.5 μ s t _{OFF} = 45 μ s (MAX)

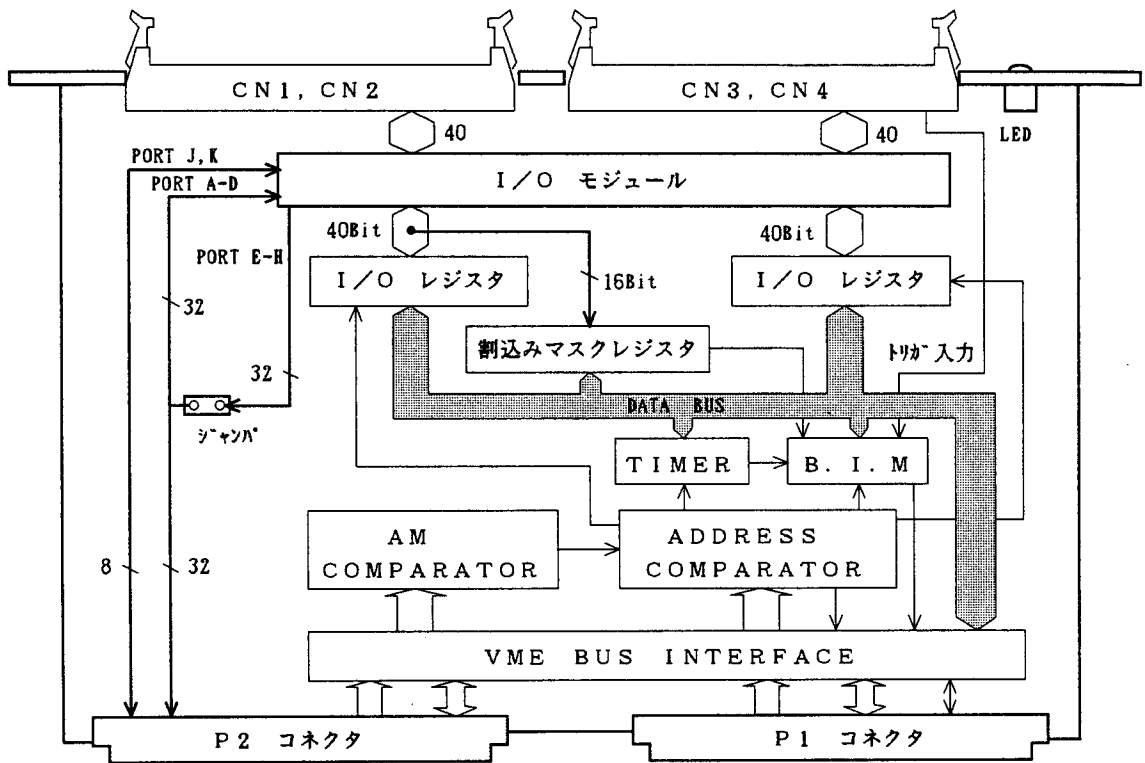
電源・外形

電 源	単一 +5 [V] \pm 5%, MAX 2.2 [A] (I/O モジュールは含まない)
寸 法	ダブルハイト、160 \times 233 [mm]

温度・湿度規定

動 作 時	温度	0 ~ +60 [°C]
	湿度	20 ~ 80% 結露無
保 存 時	温度	-10 ~ +70 [°C]
	湿度	10 ~ 90% 結露無

1-3 ブロック図



1-4 アドレスマップ

占有アドレス空間のアドレス・マップを示します。

BASE ADDRESS	D15	D8 D7	D0
00H	*	BIM CONTROL REG 0 (ユーザータイム)	01H
02H	*	BIM CONTROL REG 1 (パターンマッチ INT1)	03H
04H	*	BIM CONTROL REG 2 (パターンマッチ INT2)	05H
06H	*	BIM CONTROL REG 3 (外部トリガ)	07H
08H	*	BIM VECTOR REG 0	09H
0AH	*	BIM VECTOR REG 1	0BH
0CH	*	BIM VECTOR REG 2	0DH
0EH	*	BIM VECTOR REG 3	0FH
10H	*	TIMER COUNTER #0 (クロック タイマ)	11H
12H	*	TIMER COUNTER #1 (パターンマッチ)	13H
14H	*	TIMER COUNTER #2 (ユーザータイム)	15H
16H	*	TIMER CONTROL WORD REG	17H
18H	*	TIMER GATE #0	19H
1AH	*	TIMER GATE #1	1BH
1CH	*	TIMER GATE #2	1DH
1EH	*	I/O PORT DIRECTION A REG	1FH
20H	*	I/O PORT DIRECTION B REG	21H
22H	*	COMPARE PATTERN CONDITION	23H
24H	*	PATTERN C SET REG	25H
26H	*	PATTERN D SET REG	27H
28H	*	PATTERN MATCH OUT	29H
2AH	*	PORT ENABLE A	2BH
2CH	*	PORT ENABLE B	2DH
2EH	*	*	2FH
30H	*	*	31H
32H	*	*	33H
34H	*	*	35H
36H	*	*	37H
38H	*	*	39H
3AH	*	*	3BH
3CH	*	PORT J DATA REG	3DH
3EH	*	PORT K DATA REG	3FH
40H	PORT A DATA REG	PORT B DATA REG	41H
42H	PORT C DATA REG	PORT D DATA REG	43H
44H	PORT E DATA REG	PORT F DATA REG	45H
46H	PORT G DATA REG	PORT H DATA REG	47H
48H	*	*	49H
4AH	*	*	4BH
FEH	未使用		FFH

注1) BASE ADDRESS はジャンパーにて、セットされた値です。

*は未使用空間です。(7FH (128byte) までDTACKはアサートされます)

はL, W, Bアクセス、その他はW, Bアクセス

注2) 80H~FFHのアドレス空間はDTACKがアサートされません。

第 2 章 取扱い方法

2-1 部品の確認

お買い上げいただきましたPVME-501の梱包を解いたときに下記の物があることを御確認下さい。

- ・ PVME-501 ユーザーズ・マニュアル ----- 1部
- ・ フラットケーブル50P用 ソケット (FCN-707B050-AU/0;富士通コンポネント) ----- 4個
- ・ ジャンパー・ショート・ピン ----- 67個
- ・ 保証書 ----- 1通
- ・ その他 ----- モジュールの種類によりネットワーク抵抗が付属部品としてつきます。

2-2 御使用上の注意事項

- ・ PVME-501をジャンパー設定変更等でラックから抜き差しする際には、電源を切って行い、また、導電性のものの上に置き作業して下さい。このとき人体アースを取ることも忘れないで下さい。
- ・ PVME-501をラックに入れて使用する場合、振動により接触不良が起きることがありますのでパネル上下2箇所ネジを締めて御使用下さい。
- ・ PVME-501を保存する場合は、直射日光を避けて静電破壊を防ぐためにはんだ面に導電性のものをつけて保有するようにして下さい。
- ・ セバレート タイプのモジュールを入力40/出力40構成で使用する場合PORT A,B,C,D,J 側に入力のモジュールをセットする事を推奨します。
(入力側でのパターンマッチをご使用の場合は、必ずPORT A,B,C,D,J側にセットして下さい。)

第 3 章 機 能

3-1 アドレス空間

PVME-501は、VMEシステムにて常にスレーブ・ボードとしてアクセスされます。

特権状態は、ユーザー定義によりスーパーバイザ/非特権のどちらか一方の状態、又は両方の状態を選択することができます。

アドレス形式は、ショート・アドレッシング、スタンダード・アドレッシング（標準）、エクステンド・アドレッシング（拡張）から選択可能です。

また、各形式では、256バイト（A₁~A₇）を占有アドレスとして使用し、ベース・アドレス（上位アドレス）は自由に設定が可能です。

3-1-1 AMコード

希望する状態をジャンパー（JP4）にてユーザー設定することで、AMコードに対応することが可能です。対応可能なAMコードを示します。

HEXコード	アドレス・モディファイヤ						機 能
	5	4	3	2	1	0	
3D	H	H	H	H	L	H	標準スーパーバイザ・データ・アクセス
39	H	H	H	L	L	H	標準非特権・データ・アクセス
2D	H	L	H	H	L	H	ショート・スーパーバイザ・アクセス
29	H	L	H	L	L	H	ショート・非特権・アクセス
0D	L	L	H	H	L	H	拡張スーパーバイザ・データ・アクセス
09	L	L	H	L	L	H	拡張非特権・データ・アクセス

L=low信号レベル H=high信号レベル

3-1-2 ベース・アドレス

各アドレス形式においてジャンパー（JP1~JP3）にて設定して下さい。

3-2 タイマ

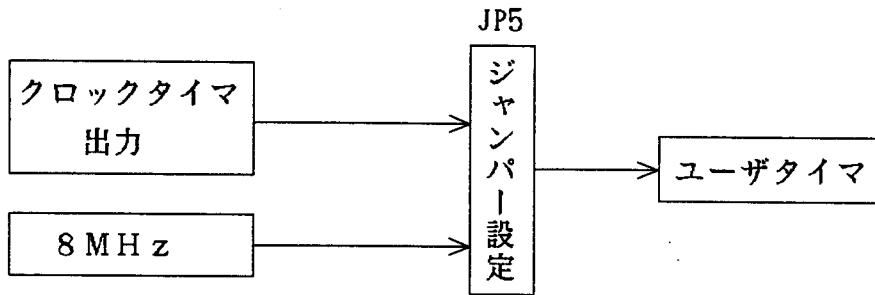
3-2-1 クロックタイマ

クロックタイマとはユーザタイマ, パターンマッチ用クロックとのカスケード接続用タイマです。カスケード接続により各タイマの最大設定値は536.85sとなります。

3-2-2 ユーザ・タイマ

ユーザ・タイマとは、設定された時間間隔にてマスタに対して、インターラプトすることが可能なプログラマブル・カウンタです。

このタイマは、下図のように8MHzのクロック、または基本クロック8MHz (125ns) のクロックタイマ (16ビット・ダウンカウンタ) 出力とのカスケード接続のどちらかをジャンパー (JP5-3, 4) により設定できるよう構成されています。

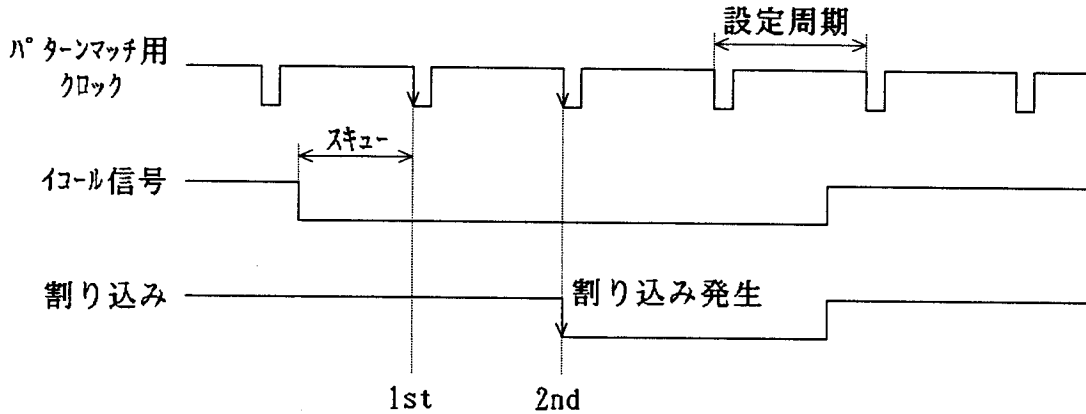


3-2-3 パターンマッチ用クロック (パターンマッチ用タイマ)

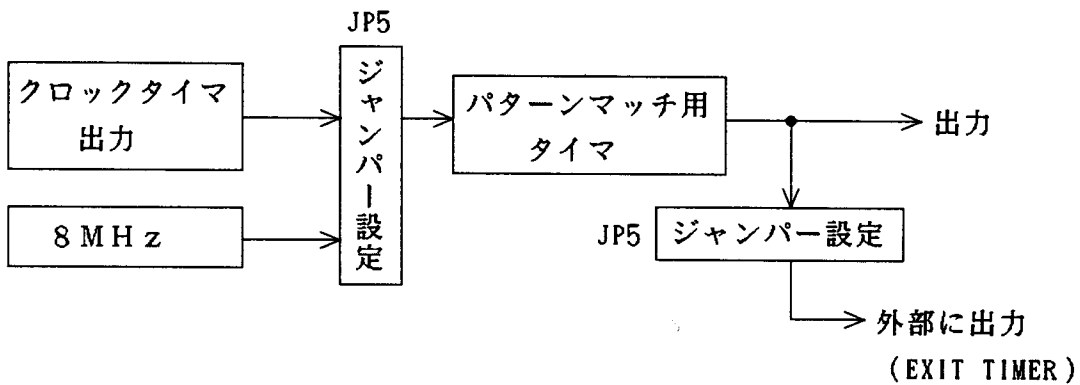
パターンマッチ用クロックとは、パターンマッチのイコール信号の有効時間幅を設定する為のクロックです。パターンマッチの時間幅は、クロックの立ち下がり(1サイクル)カウントで有効という構成になっていますので、例えば設定値を $1\mu\text{s}$ とすると、時間幅は $1\mu\text{s} + \text{スキュー} = 2\mu\text{s}$ 以上が有効値になります。(注: スキューとは設定クロック1サイクル (MAX))

最小設定値: 0.2H

8MHzを基本クロックとした場合、500nsが最小設定時間になります。)



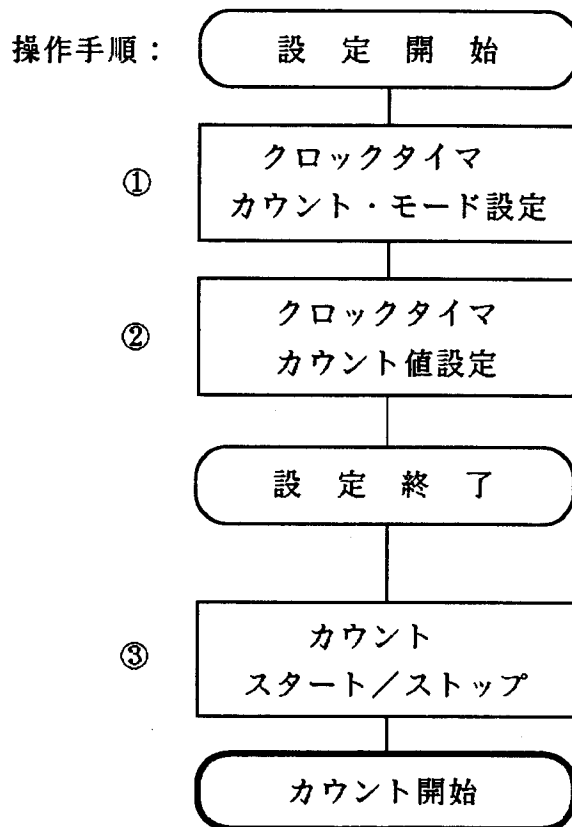
また、ジャンパー (JP5-5) 設定によりこのクロックをEXITタイマとして外部に出力が可能です。このタイマは、下図のように8MHzのクロック、または基本クロック8MHz (125ns) のクロックタイマ (16ビット・ダウンカウンタ) 出力とのカスケード接続のどちらかをジャンパー (JP5-1, 2) により設定できるよう構成されています。



注) 3つのタイマは、6種類のカウンタ方式が用意されています。

PVME-501では、このうちのダウン・カウンタとしての使用を推奨していますので、他のカウンタ方式での使用については、26ページを参照して下さい。

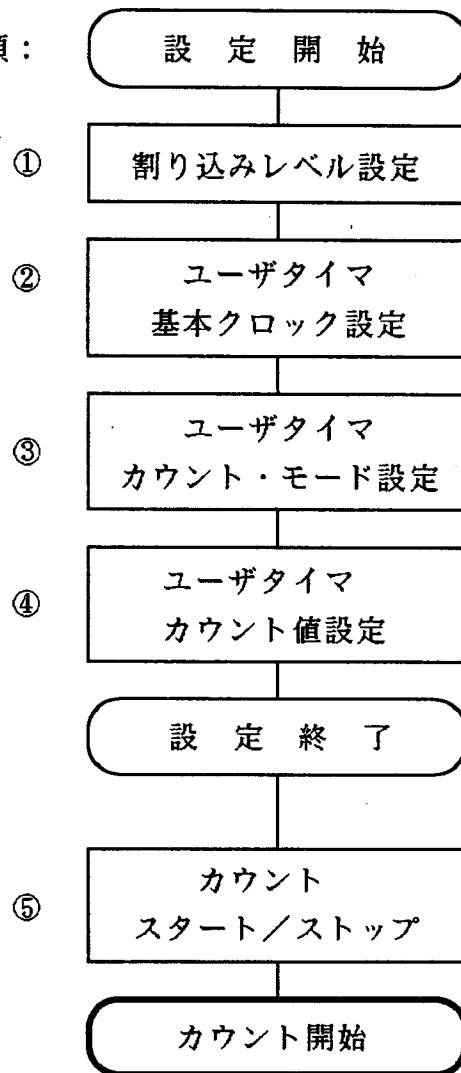
3-2-4 クロックタイマの設定方法



- ① クロックタイマのモード設定
PVME-501では、16ビット・ダウン・カウンタでの使用を推奨する為に、TIMER CONTROL WORD REGに対して、34 (HEX) をバイト・ライトします。
- ② クロックタイマのカウント値設定
16ビット・カウンタ値をTIMER COUNTER #0に対して、1回目に下位・バイト、2回目に上位・バイトの順番にてバイト・ライトします。
- ③ カウンタのスタート/ストップ
クロックタイマのカウント・スタート/ストップは、TIMER GATE #0の指定ビットをバイト・ライトすることで行います。

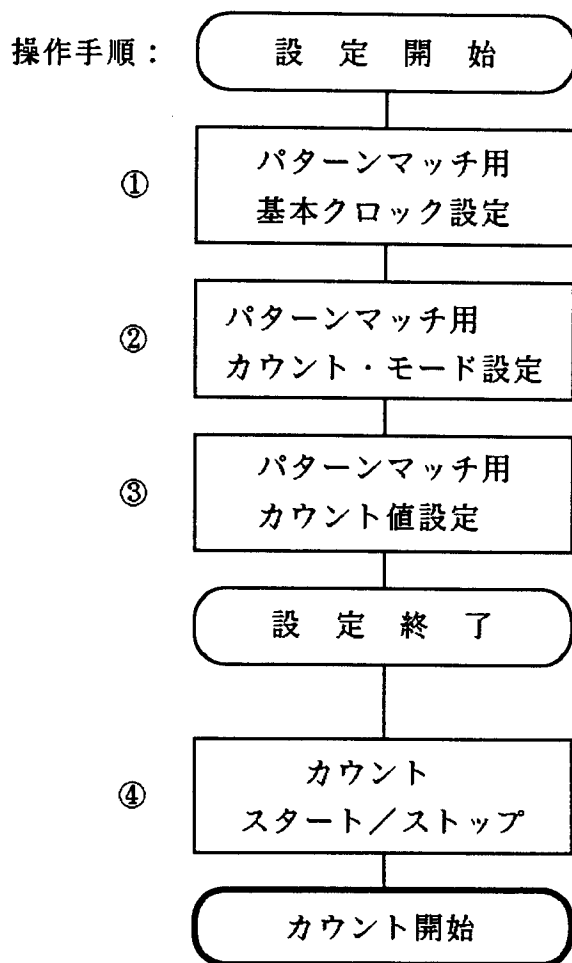
3-2-5 ユーザタイマの設定方法

操作手順：



- ① 割り込みレベル設定
割り込みレベルは、BIM CONTROL REG 0 の設定によります。
- ② ユーザタイマ基本クロック設定
基本クロックは、JP 5-3, 4にて8MHz, クロックタイマのいずれか1つを選択します。
- ③ ユーザタイマのモード設定
PVME-501では、16ビット・ダウン・カウンタでの使用を推奨する為に、TIMER CONTROL WORD REGに対して、B4 (HEX) をバイト・ライトします。
- ④ ユーザタイマのカウント値設定
16ビット・カウント値をTIMER COUNTER #2に対して、1回目に下位・バイト、2回目に上位・バイトの順番にてバイト・ライトします。
- ⑤ カウントのスタート/ストップ
ユーザタイマのカウント・スタート/ストップは、TIMER GATE #2の指定ビットをバイト・ライトすることで行います。

3-2-6 パターンマッチ用クロックの設定方法



- ① パターンマッチ用基本クロック設定
基本クロックは、JP 5-1, 2にて8MHz, クロックタイマのいずれか1つを選択します。
- ② パターンマッチ用のモード設定
PVME-501では、16ビット・ダウン・カウンタでの使用を推奨する為に、TIMER CONTROL WORD REGに対して、74 (HEX) をバイト・ライトします。
- ③ パターンマッチ用のカウント値設定
16ビット・カウント値をTIMER COUNTER #1に対して、1回目に下位・バイト、2回目に上位・バイトの順番にてバイト・ライトします。
- ④ カウントのスタート/ストップ
パターンマッチ用のカウント・スタート/ストップは、TIMER GATE #1の指定ビットをバイト・ライトすることで行います。

<EXITタイマ>

EXITタイマとしての使用の場合、設定は上記で①のところJP 5-5の設定が加わります。

3-3 P2側入出力

3-3-1 構成

PVME-501はフロント・パネル側 (CN1, 2, 3, 4) での入出力の他に、背面P2側からの入出力が可能です。

ご使用のI/Oモジュールにより入出力を構成して下さい。

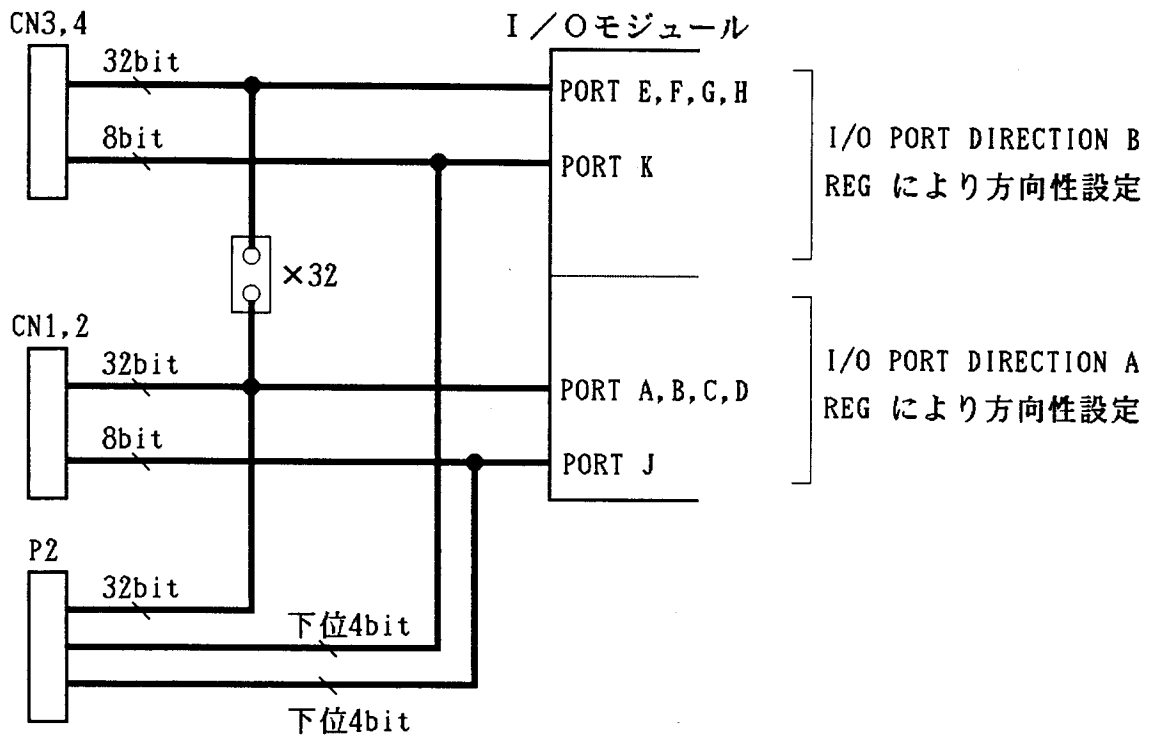
※ MDL-01, 02, 03及び入力40bit/出力40bit構成時

P2側からはPORT A (E), B (F), C (G), D (H) 及び、ハンドシェイクラインとして

PORT Jの下位4bitと、PORT Kの下位4bitの合計40bitが入出力できます。

また、各々のPORTの外部電源供給も可能です。

コネクタ接続図



32個 (bit) のジャンパーは以下のような対応になっています。

JP13

PORT	bit
A = E	PA31 = PE31
	PA30 = PE30
	PA29 = PE29
	PA28 = PE28
	PA27 = PE27
	PA26 = PE26
	PA25 = PE25
	PA24 = PE24

JP15

PORT	bit
C = G	PC15 = PG15
	PC14 = PG14
	PC13 = PG13
	PC12 = PG12
	PC11 = PG11
	PC10 = PG10
	PC9 = PG9
	PC8 = PG8

JP14

PORT	bit
B = F	PB23 = PF23
	PB22 = PF22
	PB21 = PF21
	PB20 = PF20
	PB19 = PF19
	PB18 = PF18
	PB17 = PF17
	PB16 = PF16

JP16

PORT	bit
D = H	PD7 = PH7
	PD6 = PH6
	PD5 = PH5
	PD4 = PH4
	PD3 = PH3
	PD2 = PH2
	PD1 = PH1
	PD0 = PH0

ジャンパーの番号は”6-5項P2側入出力”を参照して下さい。

3-3-2 設定方法

P 2側の設定は、出荷時はジャンパーOPENとなっています。

P 2側を使用される場合以下のようにジャンパーを設定し、アドレスをアクセスして下さい。

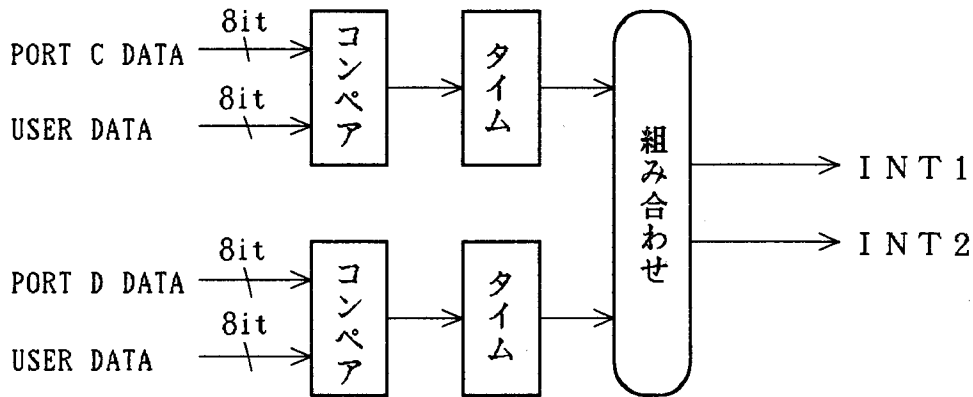
	オープン時	ショート時
J P 1 3	PORT A DATA REG	PORT E DATA REG
J P 1 4	PORT B DATA REG	PORT F DATA REG
J P 1 5	PORT C DATA REG	PORT G DATA REG
J P 1 6	PORT D DATA REG	PORT H DATA REG

注) ジャンパーはビット単位で入出力の方向が設定できますが、できるだけバイト単位での設定にして下さい。
PORT J, Kの方向性は、モジュールにより固定されますので変更はできません。
MDL-01, 02, 03をご使用の場合P 2側からの入力の場合はジャンパーをオープン、出力の場合はジャンパーをショートさせて下さい。
但し、ジャンパーをショート（出力）させている時はフロントのCN1, 2コネクタは使用しないで下さい。

3-4 パターンマッチ

パターンマッチとは、PORT C, Dの16bitのデータと、ユーザー側で設定したデータとを比較させイコールの場合割り込みを発生させる機能です。

ブロック図



*コンペア

PORT C, Dのデータと、ユーザー側で設定したデータを比較し、データがイコール間”L”をアサートします。

*タイム

イコール信号のアサート時間を監視します。

誤動作を防ぐ為にユーザ設定によりイコール信号の時間幅を決めます。

時間設定はパターンマッチ用クロックの周期により設定します。

※設定した時間に満たない場合はハザードと見なされますので、割り込みはかかりません。

*組み合わせ

パターンマッチによる割り込みは、PORT C, Dのイコール信号で5通りの組み合わせにより、INT 1, 2に割り込みがかけられます。

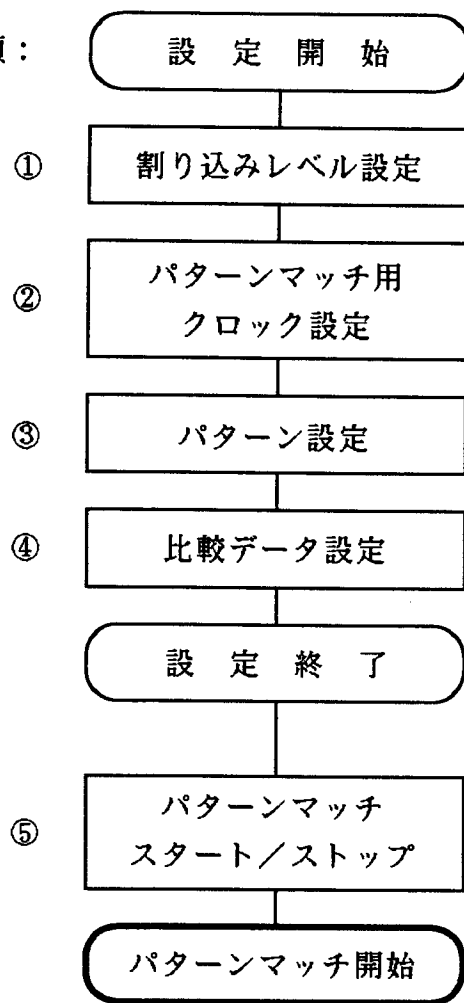
設定は、5項17>を参照して下さい。

組合せ	条件	ベクター
8 OR	PORT C, PORT DのOR	INT 1
8 MASK C	PORT C	INT 1
8 MASK D	PORT D	INT 2
8 MASK	PORT C	INT 1
	PORT D	INT 2
16 MASK	PORT C, PORT DのAND	INT 1

注) INT 1 : BIM COUNTR0L REG 1
INT 2 : BIM COUNTR0L REG 2

- 8 OR : 2つの(8ビット×2) PORTのうちどちらか一方のパターンがマッチしたとき INT 1 (BIM COUNTR0L REG 1) に割り込みが発生します。
- 8 MASK C : PORT Cのパターンがマッチしたときだけ INT 1 に割り込みが発生します。
- 8 MASK D : PORT Dのパターンがマッチしたときだけ INT 2 (BIM COUNTR0L REG 2) に割り込みが発生します。
- 8 MASK : 2つのPORTのうちどちらか一方のパターンがマッチしたとき割り込みが発生します。ただし、PORT Cは INT 1 に、PORT Dは INT 2 に別れて割り込みがかかりますので、BIMの設定で優先順位を決めてください。
- 16 MASK : 16ビット全てのパターンがマッチしたとき INT 1 に割り込みが発生します。

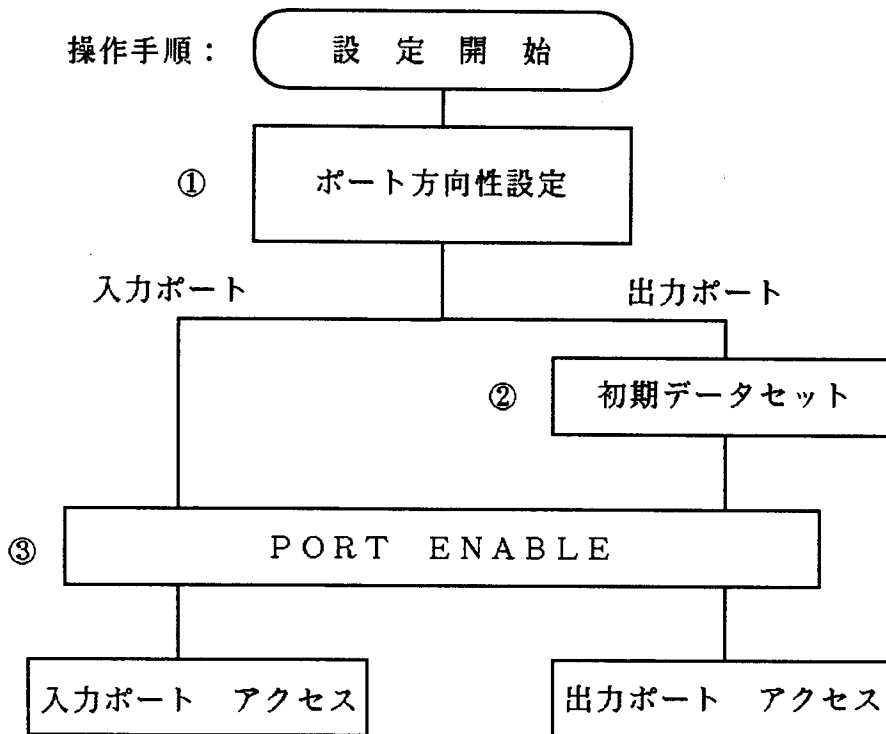
操作手順：



- ① 割り込みレベル設定
割り込みレベルは、BIM CONTROL REG 1,2の設定によります。
- ② パターンマッチ用クロック設定
3-2-6のパターンマッチ用クロックの設定方法参照
- ③ パターン設定
パターンの組み合わせを設定します。(5-2レジスタの17>を参照)
- ④ 比較データ設定
比較するデータをPATTERN C SET REG,及びPATTERN D SET REGにバイト・ライトすることでセットできます。
- ⑤ パターンマッチのスタート/ストップ
PORT C,Dのパターンマッチ・スタート/ストップは、PATTERN MATCH OUTの指定ビットをバイト・ライトすることで行います。

3-5 I/O アクセス

以下の操作手順に従って方向性の設定及び、ポートのアクセスを行って下さい。

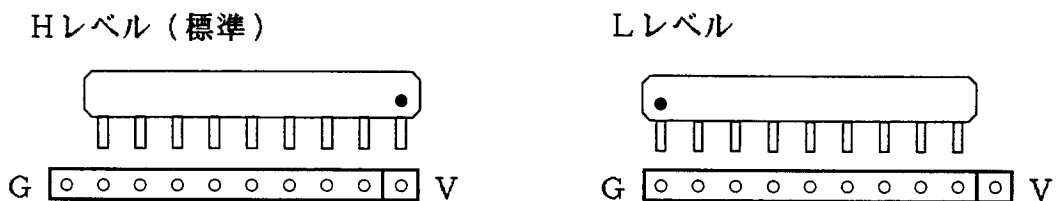


- ① ポートの方向性設定
SUBボードの仕様に従って 1FH,21HのI/O PORT DIRECTION REGにバイト・ライトすることで設定できます。
- ② 初期データ セット
データをセットしなかった状態で③を実行すると出力ポートがlowレベルになりますので、ユーザ側で設定データを書き込んでから③を実行して下さい。

注意：リセット時（初期設定時）出力ポートはHighレベルです。

リセット時、出力側をlowレベルでとりたい場合はNR 3～NR 12内で必要なPORTのネットワーク抵抗を以下のように交換して下さい。（この場合②項のセットはなくなります）

★ ネットワーク抵抗の交換



上図右のように、G側にあわせてセットします。

ネットワーク抵抗対応表

PORT A	NR3
PORT B	NR4
PORT C	NR5
PORT D	NR6
PORT J	NR7

PORT E	NR8
PORT F	NR9
PORT G	NR10
PORT H	NR11
PORT K	NR12

ネットワーク抵抗

- ・プルアップ用（標準品） : RMLS&J472
- ・プルダウン用 : RMLS&J511

③ PORT ENABLE

2BH,2DHのPORT ENABLE A,Bにバイト・ライトすることで設定できます。

注意：リセット時バッファはディセーブル状態ですので、そのままですとPORTのリード/ライトはできません。

第4章 割り込み

4-1 インターラプト要因

インターラプト要因には、次の3つが用意され、インターラプトレベル1～7のうち各々任意のレベルを設定することにて割り込み動作を行うことができます。

- | | |
|-----------|-----------------------|
| ① ユーザタイマ | (BIM CONTROL REG 0) |
| ② パターンマッチ | (BIM CONTROL REG 1,2) |
| ③ 外部トリガ入力 | (BIM CONTROL REG 3) |

4-2 設定手順

- 1) インターラプト・レベル1～7選択
BIM CONTROL REG 0～3のL0,L1,L2により各割り込み要因のインターラプト・レベルを設定します。
- 2) インターラプト要因の選択
各インターラプト要因のBIM CONTROL REG のIREをイネーブルすることにより選択します。
- 3) ベクタナンバー設定
各要因のBIM VECTOR REG にナンバーをバイト・ライトすることでセットできます。
- 4) インターラプト要因の説明
各設定方法は、“3章機能”の各項をご覧ください。

①ユーザタイマ

設定時間ごとに、ロウ・レベルになる信号です。

インターラプト要因では、信号の立ち下がり（ $\bar{\square}$ ）にてインターラプト・フラグを”1（ハイ・レベル）”にします。

②パターンマッチ

設定データとPORTデータが設定時間以上一致しますとインターラプト・フラグを”1（ハイ・レベル）”にします。

割り込みをかける場合は、設定時間とパターンマッチ時間に気をつけて下さい。

③トリガ入力

トリガ入力信号の立ち下がり（ $\bar{\square}$ ）にてインターラプト・フラグを”1（ハイ・レベル）”にします。

第5章 各レジスタ説明

5-1 アクセス条件

DTACKは占有アドレスで7FHまでであればどこをアクセスしてもアサートされます。

(未使用空間も含む)

ただし、以下の条件外ではデータがリード/ライトできません。

- ・アドレス40H~47H (PROT A~H) は、ロングワード、ワード、バイトのリード/ライト
※ ロングワード アクセス時、整列転送のみサポート、先頭アドレスは40Hと44Hの2つです。
- ・アドレス00H~3FH, 48H~7FHは、ワード、バイトのリード/ライト

5-2 レジスタ

PVME-501を操作する上で、必要な各レジスタについて説明いたします。

* は未使用bitを意味します。

- 1 > BIM CONTROL REG 0 (01H - 1バイト リド/ライト)
ユーザタイマによる割り込み設定、及びインターラプト・ステータス参照レジスタです。
- 2 > BIM CONTROL REG 1 (03H - 1バイト リド/ライト)
ビットパターンマッチ INT 1による割り込み設定、及びインターラプト・ステータス参照レジスタです。
- 3 > BIM CONTROL REG 2 (05H - 1バイト リド/ライト)
ビットパターンマッチ INT 2による割り込み設定、及びインターラプト・ステータス参照レジスタです。
- 4 > BIM CONTROL REG 3 (07H - 1バイト リド/ライト)
外部トリガによる割り込み設定、及びインターラプト・ステータス参照レジスタです。
- 5 > BIM VECTOR REG 0 (09H - 1バイト リド/ライト)
ユーザタイマ要因での割り込み動作時のベクタ・ナンバを設定するレジスタです。
- 6 > BIM VECTOR REG 1 (0BH - 1バイト リド/ライト)
ビットパターンマッチ INT 1 要因での割り込み動作時のベクタ・ナンバを設定するレジスタです。
- 7 > BIM VECTOR REG 2 (0DH - 1バイト リド/ライト)
ビットパターンマッチ INT 2 要因での割り込み動作時のベクタ・ナンバを設定するレジスタです。
- 8 > BIM VECTOR REG 3 (0FH - 1バイト リド/ライト)
外部トリガ入力要因での割り込み動作時のベクタ・ナンバを設定するレジスタです。

要 因	アドレス	設定レジスタ	内 容
ユーザタイマ	01h	BIM CONTROL REG 0	コントロール・レジスタ
	09h	BIM VECTOR REG 0	ベクタ・レジスタ
パターンマッチ INT 1	03h	BIM CONTROL REG 1	コントロール・レジスタ
	0Bh	BIM VECTOR REG 1	ベクタ・レジスタ
パターンマッチ INT 2	05h	BIM CONTROL REG 2	コントロール・レジスタ
	0Dh	BIM VECTOR REG 2	ベクタ・レジスタ
外部トリガ	07h	BIM CONTROL REG 3	コントロール・レジスタ
	0Fh	BIM VECTOR REG 3	ベクタ・レジスタ

● BIM CONTROL REG 0~3 説明

1) INTERRUPT LEVEL

L0, L1, L2ビットにより割り込みレベルを設定します。
”0”の場合は割り込み不許可となります。

2) INTERRUPT AUTO-CLEAR (IRAC)

IRACをENABLEに設定した場合、割り込みサイクル中にIREをDISABLEしますので、応答時開放となります。

再度割り込みを行う場合は、再びIREをENABLEに設定します。

IRACをDISABLEに設定した場合、割り込みサイクル中にIREはクリアされませんのでレジスタ・アクセス時開放となります。

3) INTERRUPT ENABLE (IRE)

割り込み要求の許可/不許可を設定します。

ただし、IRQレベルがDISABLEの場合は割り込みは不許可となります。

4) EXTERNAL/INTERNAL (X/IN)

割り込みはBIM VECTOR REG 0~3にセットされたベクタ・データを使用しますので必ず”0”をセットして下さい。

5) FLAG AUTO-CLEAR (FAC)

ENABLEにてFLAGビットを割り込みサイクル中に自動的にNEGATEします。

6) FLAG

フラグは、割り込み動作に影響されることなくリード/ライトが行えます。

フラグは、システム資源管理のステイタス及びマルチタスクやマルチプロセッサのセマフォアとして使用されます。又、フラグはビット7に配置され、MPU68000系のTEST&SET (TAS) 命令により使用されます。

注意：優先順位

各割り込み要因について同一レベルを設定した場合は、優先順位の高い方から処理されます。

外部トリガ > INT2 > INT1 > ユーザタイマ

高い

←優先順位→

低い

● BIM CONTROL REG 0~3 フォーマット

FORMAT

D7	D6	D5	D4	D3	D2	D1	D0
F	FAC	X/IN	IRE	IRAC	L2	L1	L0

INTERRUPT LEVEL

L2	L1	L0	IRQ LEVEL
0	0	0	DISABLED
0	0	1	IRQ 1
0	1	0	IRQ 2
0	1	1	IRQ 3
1	0	0	IRQ 4
1	0	1	IRQ 5
1	1	0	IRQ 6
1	1	1	IRQ 7

INTERRUPT AUTO-CLEAR

0	DISABLE
1	ENABLE

INTERRUPT ENABLE

0	DISABLE
1	ENABLE

EXTERNAL/INTERNAL

0	INTERNAL
1	EXTERNAL

注：0をセットして下さい

FLAG AUTO-CLEAR

0	ENABLE
1	DISABLE

FLAG

0	NEGATE
1	ASSERT

● BIM VECTOR REG 0~3 フォーマット

FORMAT

D7	D6	D5	D4	D3	D2	D1	D0
1/0	1/0	1/0	1/0	1/0	1/0	1/0	1/0

ベクタ・ナンバ設定

9 > TIMER COUNTER #0 (11H - 1バイトリード/ライト)

クロックタイマにカウント値を設定するレジスタです。

TIMER CONTROL WORD REGにて初期設定後、カウント値を書き込みます。

FORMAT

D7	D6	D5	D4	D3	D2	D1	D0
1/0	1/0	1/0	1/0	1/0	1/0	1/0	1/0

10 > TIMER COUNTER #1 (13H - 1バイトリード/ライト)

パターンマッチ用及びEXITタイマにカウント値を設定するレジスタです。

TIMER CONTROL WORD REGにて初期設定後、カウント値を書き込みます。

FORMAT

D7	D6	D5	D4	D3	D2	D1	D0
1/0	1/0	1/0	1/0	1/0	1/0	1/0	1/0

11 > TIMER COUNTER #2 (15H - 1バイトリード/ライト)

ユーザー・タイマにカウント値を設定するレジスタです。

TIMER CONTROL WORD REGにて初期設定後、カウント値を書き込みます。

FORMAT

D7	D6	D5	D4	D3	D2	D1	D0
1/0	1/0	1/0	1/0	1/0	1/0	1/0	1/0

* カウント数の書き込み

カウント数の書き込みでは、モード指定の際に設定されたリード/ライト・モードに注意する必要があります。

下位1バイト、上位1バイト・モードに設定されている場合は、1回の書き込みで、それぞれカウント・レジスタの下位、上位バイトに書き込まれてカウント数の書き込みは完了します。

この場合、それぞれの残りの1バイトは00Hになります。

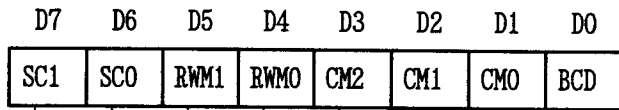
下位・上位2バイト・モードでは、1回目の書き込みで下位バイトに書き込まれます。

そして2回目の書き込みで上位バイトに書き込んだ時点で、カウント数の書き込みが完了します。

リード/ライト・モード	書き込み回数	カウント・レジスタ	
		上位バイト	下位バイト
下位1バイト	1	00H	××H
上位1バイト	1	××H	00H
下位・上位2バイト	2	××H (2回目)	××H (1回目)

12 > TIMER CONTROL WORD REG (17H - 1バイトリード/ライト)
 TIMER COUNTER #0, #1, #2の初期設定を行うレジスタです。

FORMAT



BCD	バイナリ or BCD
0	バイナリ・カウント (16桁)
1	BCDカウント (4桁)

CM2	CM1	CM0	カウント・モード
0	0	0	モード0
0	0	1	モード1
X	1	0	モード2
X	1	1	モード3
1	0	0	モード4
1	0	1	モード5

RWM1	RWM0	リード/ライト・モード
0	0	カウント・ラッチ・コマンド
0	1	下位バイトのリード/ライト
1	0	上位バイトのリード/ライト
1	1	上位, 下位バイト順のリード/ライト

SC1	SC0	セレクト・カウンタ or マルチプル・ラッチ・コマンド
0	0	カウンタ #0 (クロックタイマ)
0	1	カウンタ #1 (パターンマッチ用)
1	0	カウンタ #2 (ユーザタイマ)
1	1	マルチプル・ラッチ・コマンド

備考: Xは0または1

※カウンタモード説明

PVME-501では16ビット・ダウン・カウンタ(モード2)での使用を推奨する為に、以下のコードをTIMER CONTROL WORD REGに設定後、カウント値を下位・上位バイトの順に書き込みます。

- ① クロック・タイマ (TIMER COUNTER #0) : 34H
- ② パターンマッチ用or EXITタイマ (TIMER COUNTER #1) : 74H
- ③ ユーザー・タイマ (TIMER COUNTER #2) : B4H

その他のモードを使用する場合は、以下を参照して下さい。
(関連資料: 71054の使い方 IEP-702より抜粋)

※カウント・モード

1. モード0: カウント終了時での割り込み
指定したカウントが終了すると同時に出力端子はロウ・レベルからハイ・レベルに変わります。

モード0動作

インパル出力		ロウ・レベル
GATE入力	ハイ・レベル	カウント状態
	ロウ・レベル	カウント禁止状態
カウント数書き込み		出力端子がロウ・レベルになります。(CLKパルスに無関係) リード/ライトが2バイト・モードの場合は、1バイト目を書く とカウントが禁止され、出力端子がロウ・レベルになります。
カウント数転送とカウント		GATE=ハイ・レベル時に書き込まれた場合 カウント数が書き込まれた次のCLKパルスで転送が行われ ます。デクリメントは転送の次のCLKパルスから開始され ますので、カウント数がNならば、出力端子はN+1CLKパ ルスの間ロウ・レベルになります。 GATE=ロウ・レベル時に書き込まれた場合 カウント数が書き込まれた次のCLKパルスで転送が行われ ます。GATEがハイ・レベルになると、その次のCLKパル スからデクリメントが開始されますので、カウント数がN ならば出力端子はN CLKパルス間ロウ・レベルになります。
カウントZERO		出力端子がハイ・レベルになります。カウント動作は止まら ずに、バイナリならばFFFFH, BCDならば9999へとカウ ント・ダウンされていきます。
最小カウント数		1

2. モード1：ゲート端子・リトリガラブル・1ショット
 指定した長さのロウ・レベル・1ショット・パルスが出力端子に出力されます。GATE入力により再トリガが可能です。

モード1動作

レトリガ出力	ハイ・レベル
GATE入力	*トリガ
トリガ	トリガの次のCLKパルスでカウント数転送が起こります。
カウント数書き込み	現在の動作に影響せずに行われます。
カウント数転送とカウント	トリガがあると、次のCLKパルスで転送が行われ、同時に出力端子がロウ・レベルになり、1ショット・パルスが開始されます。デクリメントは次のCLKパルスから開始されますので、カウント数がNならば、出力端子の1ショット出力はN CLKパルス間続きます。
カウントZERO	出力端子がハイ・レベルになります。カウント動作は止まらずに、バイナリならばFFFFH, BCDならば9999へとカウント・ダウンされていきます。
最小カウント数	1

*：モード指定直後でまだカウント数が書かれていない状態、およびリード/ライト・2バイト・モードで1バイトしか書かれていない状態ではトリガは無視されます。

3. モード2：レート・ジェネレータ
 指定したカウントの最後の1 CLKパルス分だけ出力端子がロウ・レベルになる動作を周期的に行う分周カウンタです。

モード2動作

レトリガ出力	ハイ・レベル	
GATE入力	ハイ・レベル	カウント状態
	ロウ・レベル	カウント禁止状態。出力端子がロウ・レベルのときにGATEがロウ・レベルになると、出力端子はハイ・レベルになります。(CLKパルスに無関係)
	*トリガ	トリガの次のCLKパルスでカウント数転送が起こります。
カウント数書き込み	現在の動作に影響せずに行われます。	
カウント数転送とカウント	モード指定に続くカウント数の書き込みの次のCLKパルスで転送されます。その後はカウント数がデクリメントされてカウント値が1になった次のCLKパルスで転送が行われます。また、トリガがあればその次のCLKパルスでも転送が行われます。出力端子は、ダウンカウンタの内容が1になると同時に1 CLKの期間だけロウ・レベルになり、再びハイ・レベルに戻ります。よって、カウント数がNならば動作はN CLKパルスを周期として繰り返されます。	
カウントZERO	このモードでは起こりません。	
最小カウント数	2	

*：モード指定直後でまだカウント数が書かれていない状態、およびリード/ライト・2バイト・モードで1バイトしか書かれていない状態ではトリガは無視されます。

4. モード3：方形波ジェネレータ

モード2と同様の分周カウンタですが、デューティが異なります。

備考：モード3設定時、ダウンカウンタの値が”2”であると出力端子の出力は”H”レベルに固定されることがあります。

(対策) モード3設定直前には任意モード設定(モード3を除く)とダミーカウント値の書き込みを行うことにより、モード3設定時にはダウンカウンタの値が”2”にならないよう対処願います。

モード3動作

出力		ハイ・レベル
GATE入力	ハイ・レベル	カウント状態
	ロウ・レベル	カウント禁止状態。出力端子がロウ・レベルのときにGATEがロウ・レベルになると、出力端子はハイ・レベルになります。 (CLKパルスに無関係)
	*トリガ	トリガの次のCLKパルスでカウント数転送が起こります。
カウント書き込み		現在の動作に影響しませんが、現在の方形波の半周期終了時にカウント数転送が起こり、同時に出力端子がロウ・レベルになります。
カウント転送と出力		モード指定に続くカウント数の書き込みの次のCLKパルスで転送されます。その後は現在の半周期終了時に転送が起こり、出力端子が反転します。また、トリガの次のCLKパルスでも転送が行われます。 カウント数Nが偶数か、奇数かによって動作が異なり、偶数の場合は転送されてから2ずつデクリメントされ、カウント値が2になると次のCLKパルスで転送が起こり出力端子の状態が反転します。これを半周期として以後この動作が繰り返し行われます。 奇数の場合は、N-1が転送され、2ずつデクリメントされます。出力端子がハイ・レベルである半周期はカウント値が0の状態までですが、次のCLKパルスで再びN-1が転送され、出力端子がロウ・レベルになった半周期はカウント値が2の状態までしか続きません。このためハイ・レベルの状態の方が1CLK分だけ長くなっています。
出力ZERO		カウント数が奇数の場合にのみ起こり得ます。
最小カウント		2

*：モード指定直後でまだカウント数が書かれていない状態、およびリード/ライト・2バイト・モードで1バイトしか書かれていない状態ではトリガは無視されます。

5. モード4：ソフトウェア・トリガード・ストローブ
 指定したカウントが終了すると1 CLKパルス分だけ出力端子がロウ・レベルになります。
 この機能はカウント数転送1回につき1度だけ働きます。

モード4動作

仁ツル出力	ハイ・レベル	
GATE入力	ハイ・レベル	カウント状態
	ロウ・レベル	カウント禁止状態
カウント書き込み	カウント数が書き込まれると、次のCLKパルスでカウント数が転送されます。リード/ライトが2バイト・モードの場合は、2バイト目が書き込まれたときに上記の動作が起こります。	
カウント転送とカウント	カウント数が書き込まれた次のCLKパルスで転送が行われます。GATEがハイ・レベルならば、その次のCLKパルスからデクリメントが開始され、GATEがロウ・レベルならばGATEがハイ・レベルになった次のCLKパルスからデクリメントされます。	
カウントZERO	出力端子が1 CLKの間ロウ・レベルになり、再びハイ・レベルに戻ります。カウント動作は止まらずに、バイナリならFFFFFFH、BCDなら9999へカウントダウンされていきます。	
最小カウント数	1	

6. モード5：ハードウェア・トリガード・ストローブ (リトリガブル)
 モード4と同じ動作ですが、GATE入力により開始され、再トリガ可能です。
 この機能はカウント数転送1回につき1度だけ働きます。

モード5動作

仁ツル出力	ハイ・レベル	
GATE入力	*トリガ	トリガの次のCLKパルスでカウント数転送が起こります。
カウント書き込み	現在の動作に影響せずに書き込まれます。	
カウント転送とカウント	トリガがあると、次のCLKパルスで転送が行われます。デクリメントは転送の次のCLKパルスから開始されますので、カウント数がNならば出力端子は、トリガからN+1 CLKパルスの間はロウ・レベルになりません。	
カウントZERO	出力端子が1 CLKの間ロウ・レベルになり、再びハイ・レベルに戻ります。カウント動作は止まらずに、バイナリならFFFFFFH、BCDなら9999へカウントダウンされていきます。	
最小カウント数	1	

*：モード指定直後でまだカウント数が書かれていない状態、およびリード/ライト・2バイト・モードで1バイトしか書かれていない状態ではトリガは無視されます。

- 13 > TIMER GATE #0 (19H - 1バイトライト)
 カウンタ #0 (クロックタイマ) の出力を設定するレジスタです。

FORMAT

D7	D6	D5	D4	D3	D2	D1	D0
*	*	*	*	*	*	*	1/0

0	出力禁止
1	出力

- 14 > TIMER GATE #1 (1BH - 1バイトライト)
 カウンタ #1 (パターンマッチ用及びEXITタイマ) の出力を設定するレジスタです。

FORMAT

D7	D6	D5	D4	D3	D2	D1	D0
*	*	*	*	*	*	*	1/0

0	出力禁止
1	出力

- 15 > TIMER GATE #2 (1DH - 1バイトライト)
 カウンタ #2 (ユーザー・タイマ) の出力を設定するレジスタです。

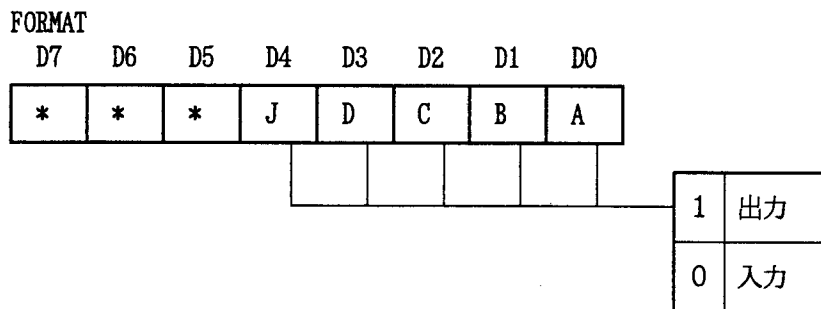
FORMAT

D7	D6	D5	D4	D3	D2	D1	D0
*	*	*	*	*	*	*	1/0

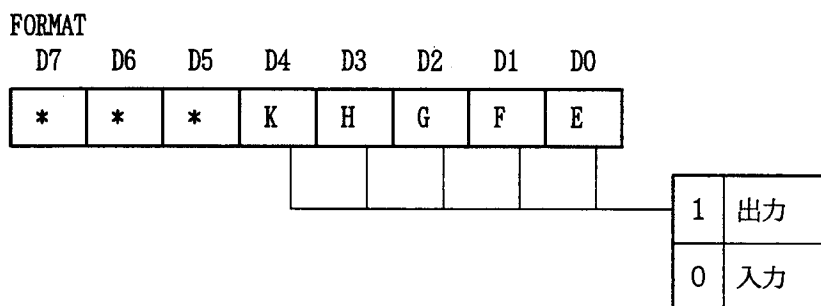
0	出力禁止
1	出力

※ タイマに関する詳しい説明及び、タイミングにつきましては、資料が用意されていますので弊社技術部
 開発課までご連絡下さい。

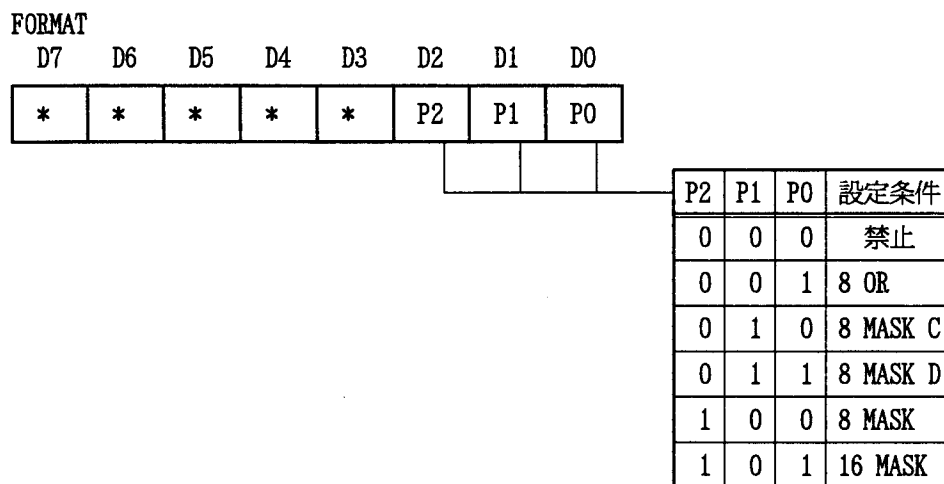
16 > I/O PORT DIRECTION A REG (1FH - 1バイトライト)
PORT A,B,C,D,Jの方向性を設定するレジスタです。



16 > I/O PORT DIRECTION B REG (21H - 1バイトライト)
PORT E,F,G,H,Kの方向性を設定するレジスタです。



17 > COMPARE PATTERN CONDITION (23H - 1バイトライト)
パターンマッチの比較条件を設定するレジスタです。



- 8 OR 2つの(8ビット×2) PORTのうちどちらか一方のパターンがマッチしたとき INT 1 (BIM CONTROL REG 1) に割り込みが発生します。
- 8 MASK C PORT Cのパターンがマッチしたときだけ INT 1 に割り込みが発生します。
- 8 MASK D PORT Dのパターンがマッチしたときだけ INT 2 (BIM CONTROL REG 2) に割り込みが発生します。
- 8 MASK 2つのPORTのうちどちらか一方のパターンがマッチしたとき割り込みが発生します。ただし、PORT Cは INT 1 に、PORT Dは INT 2 に別れて割り込みがかかりますので、BIMの設定で優先順位を決めてください。
- 16 MASK 16ビット全てのパターンがマッチしたとき INT 1 に割り込みが発生します。

18 > PATTERN C SET REG (25H - 1バイト ライト)

PROT Cとのパターンマッチさせるデータを設定するレジスタです。

FORMAT

D7	D6	D5	D4	D3	D2	D1	D0
1/0	1/0	1/0	1/0	1/0	1/0	1/0	1/0

19 > PATTERN D SET REG (27H - 1バイト ライト)

PROT Dとのパターンマッチさせるデータを設定するレジスタです。

FORMAT

D7	D6	D5	D4	D3	D2	D1	D0
1/0	1/0	1/0	1/0	1/0	1/0	1/0	1/0

20 > PATTERN MATCH OUT (29H - 1バイト ライト)

パターンマッチのイコール信号の出力を設定するレジスタです。

FORMAT

D7	D6	D5	D4	D3	D2	D1	D0
*	*	*	*	*	*	D	C

PORT C	1 : 出力可
PORT D	0 : 禁止(リセット状態)

21 > PORT ENABLE A (2BH - 1バイト ライト)

PORT A, B, C, D, Jのポート・イネーブル レジスタです。

FORMAT

D7	D6	D5	D4	D3	D2	D1	D0
*	*	*	J	D	C	B	A

1	ENABLE
0	DISABLE

22 > PORT ENABLE B (2DH - 1バイト ライト)

PORT E, F, G, H, Kポート・イネーブル レジスタです。

FORMAT

D7	D6	D5	D4	D3	D2	D1	D0
*	*	*	K	H	G	F	E

1	ENABLE
0	DISABLE

- 23 > PORT J DATA REG (3DH - 1バイト)
 PORT J DATAのREAD/WRITEをするレジスタです。
 P 2側使用時は下位4bitのみとなります。

FORMAT

D7	D6	D5	D4	D3	D2	D1	D0
1/0	1/0	1/0	1/0	1/0	1/0	1/0	1/0

- 24 > PORT K DATA REG (3FH - 1バイト)
 PORT K DATAのREAD/WRITEをするレジスタです。
 P 2側使用時は下位4bitのみとなります。

FORMAT

D7	D6	D5	D4	D3	D2	D1	D0
1/0	1/0	1/0	1/0	1/0	1/0	1/0	1/0

- 25 > PORT A DATA REG (40H - 1バイト)
 PORT A DATAのREAD/WRITEをするレジスタです。
 P 2側使用時 (ジャンパー オープン時) POAT AのREAD/WRITEレジスタです。

FORMAT

D15	D14	D13	D12	D11	D10	D9	D8
1/0	1/0	1/0	1/0	1/0	1/0	1/0	1/0

- 26 > PORT B DATA REG (41H - 1バイト)
 PORT B DATAのREAD/WRITEをするレジスタです。
 P 2側使用時 (ジャンパー オープン時) POAT BのREAD/WRITEレジスタです。

FORMAT

D7	D6	D5	D4	D3	D2	D1	D0
1/0	1/0	1/0	1/0	1/0	1/0	1/0	1/0

- 27 > PORT C DATA REG (42H - 1バイト)
 PORT C DATAのREAD/WRITEをするレジスタです。
 P 2側使用時 (ジャンパー オープン時) POAT CのREAD/WRITEレジスタです。

FORMAT

D15	D14	D13	D12	D11	D10	D9	D8
1/0	1/0	1/0	1/0	1/0	1/0	1/0	1/0

28 > PORT D DATA REG (43H - 1バイト)

PORT D DATAのREAD/WRITEをするレジスタです。

P 2側使用時 (ジャンパー オープン時) POAT DのREAD/WRITEレジスタです。

FORMAT

D7	D6	D5	D4	D3	D2	D1	D0
1/0	1/0	1/0	1/0	1/0	1/0	1/0	1/0

29 > PORT E DATA REG (44H - 1バイト)

PORT E DATAのREAD/WRITEをするレジスタです。

P 2側使用時 (ジャンパー ショート時) POAT EのREAD/WRITEレジスタです。

FORMAT

D15	D14	D13	D12	D11	D10	D9	D8
1/0	1/0	1/0	1/0	1/0	1/0	1/0	1/0

30 > PORT F DATA REG (45H - 1バイト)

PORT F DATAのREAD/WRITEをするレジスタです。

P 2側使用時 (ジャンパー ショート時) POAT FのREAD/WRITEレジスタです。

FORMAT

D7	D6	D5	D4	D3	D2	D1	D0
1/0	1/0	1/0	1/0	1/0	1/0	1/0	1/0

31 > PORT G DATA REG (46H - 1バイト)

PORT G DATAのREAD/WRITEをするレジスタです。

P 2側使用時 (ジャンパー ショート時) POAT GのREAD/WRITEレジスタです。

FORMAT

D15	D14	D13	D12	D11	D10	D9	D8
1/0	1/0	1/0	1/0	1/0	1/0	1/0	1/0

32 > PORT H DATA REG (47H - 1バイト)

PORT H DATAのREAD/WRITEをするレジスタです。

P 2側使用時 (ジャンパー ショート時) POAT HのREAD/WRITEレジスタです。

FORMAT

D7	D6	D5	D4	D3	D2	D1	D0
1/0	1/0	1/0	1/0	1/0	1/0	1/0	1/0

* I/Oモジュール装着時のI/O ポートの設定

MDL-01, MDL-02, MDL-03の方向性は3タイプとも以下のとおりです。

入力	出力
PORT A	PORT E
PORT B	PORT F
PORT C	PORT G
PORT D	PORT H
PORT J	PORT K

アドレス 1FHの I/O PORT DIRECTION A REG 及び 21Hの I/O PORT DIRECTION B REG の設定は以下のようにセットして下さい。

	D7	D6	D5	D4	D3	D2	D1	D0
1FH	*	*	*	0	0	0	0	0

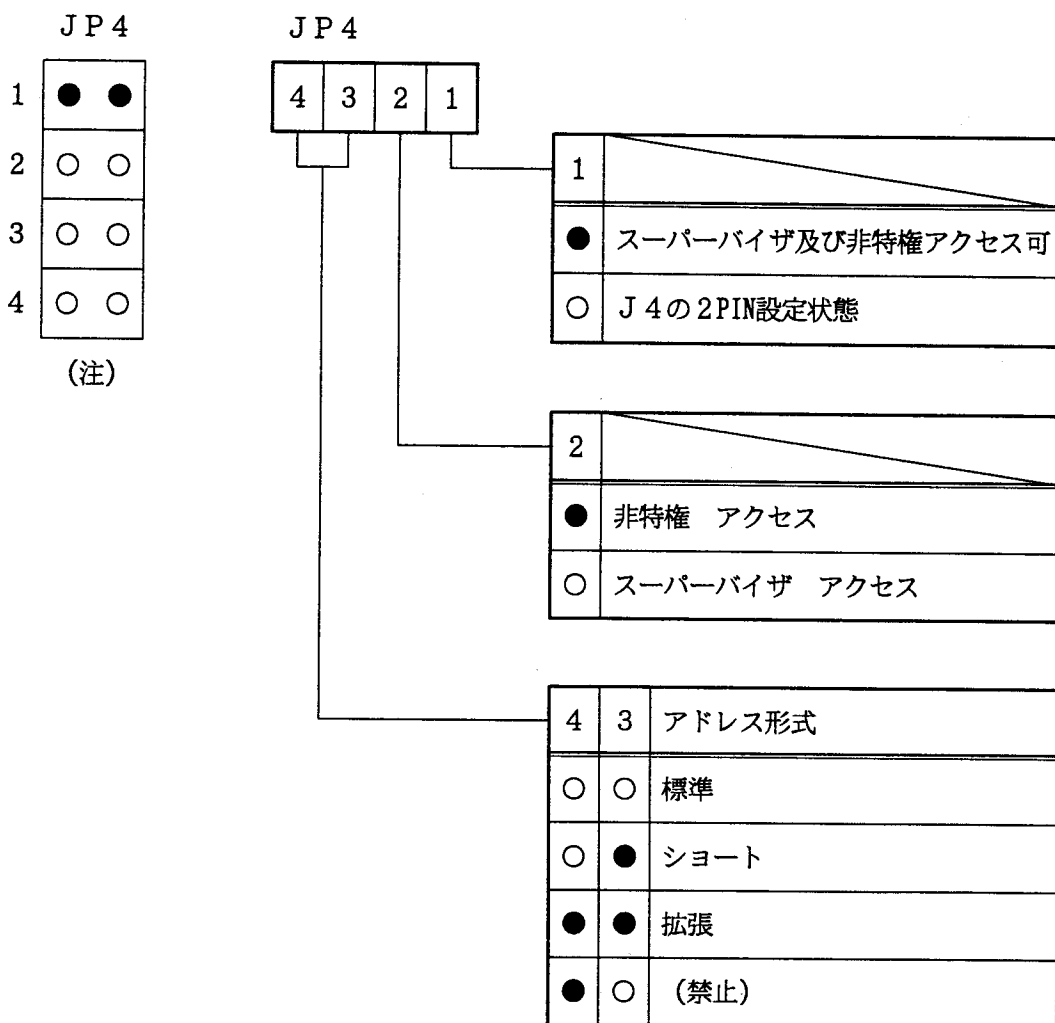
	D7	D6	D5	D4	D3	D2	D1	D0
21H	*	*	*	1	1	1	1	1

※ 他のモジュールを組み合わせてご使用の場合は、レジスタ説明及び、上の設定を参考にして設定して下さい。

第6章 ジャンパー設定方法

6-1 AMライン

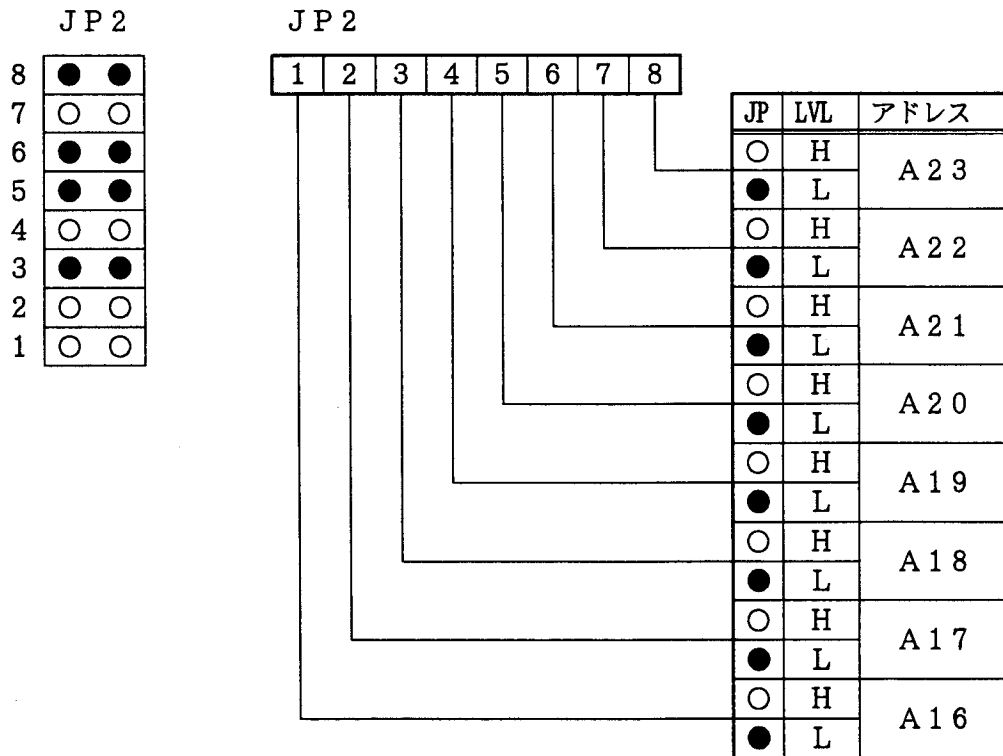
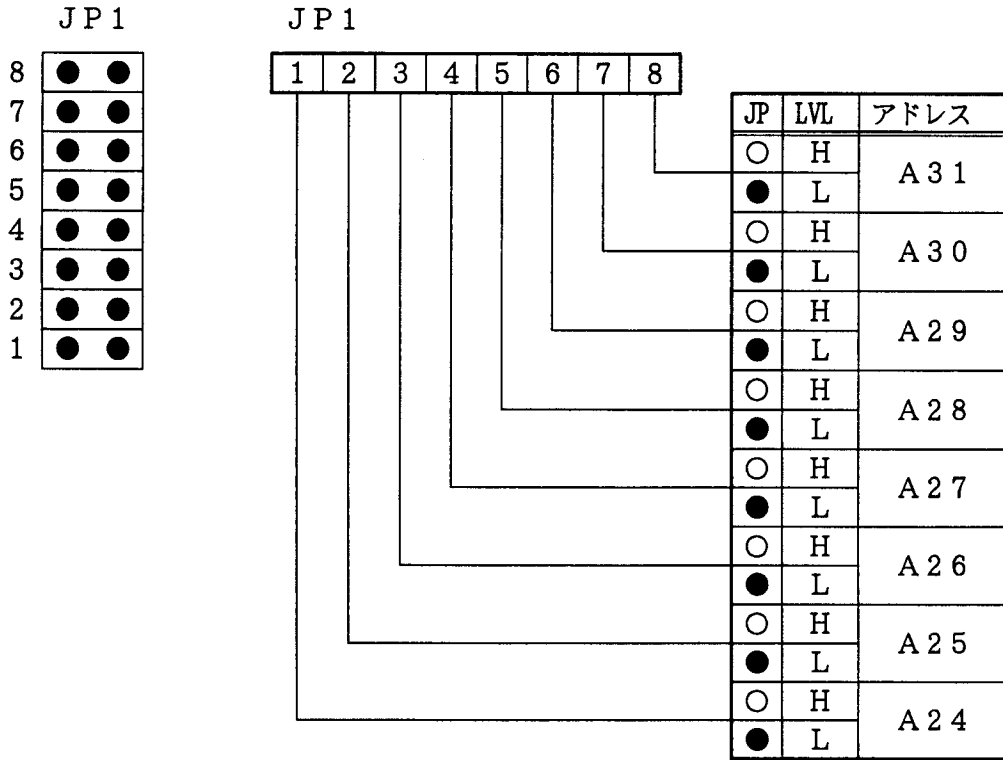
AMコードは、次の表に従い設定して下さい。

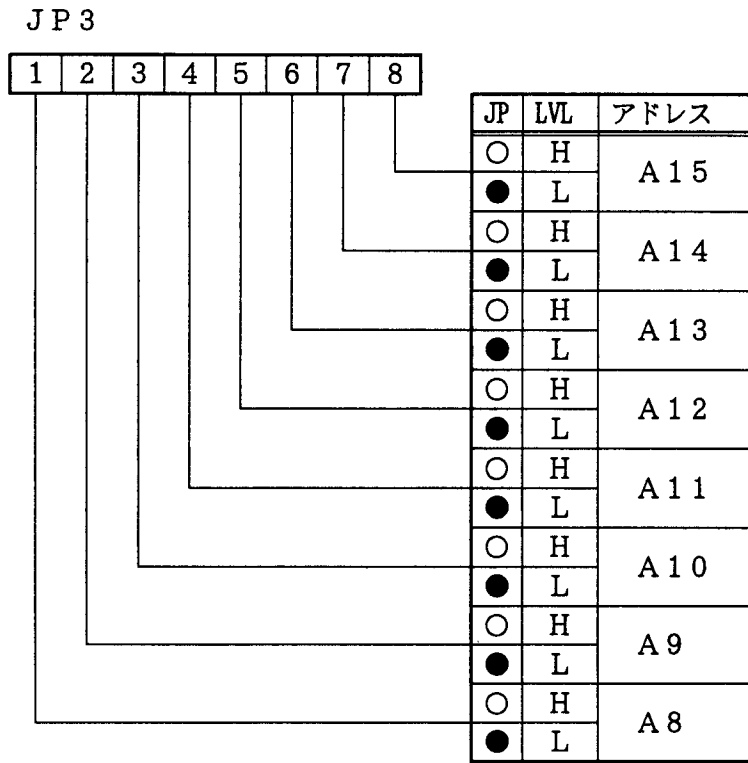
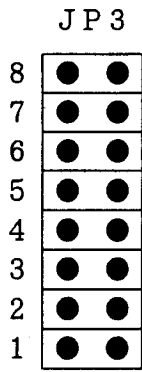


- (注) ① ジャンパー・ピン配置及び、出荷時の設定を表す。
 ② ●：ジャンパー・ショート
 ③ ○：ジャンパー・オープン
 ④ 標準、拡張は共にデータ・アクセスとなります。

6-2 ベース・アドレス

ベース・アドレスは次の表に従い設定して下さい。(●:ショート ○:オープン)

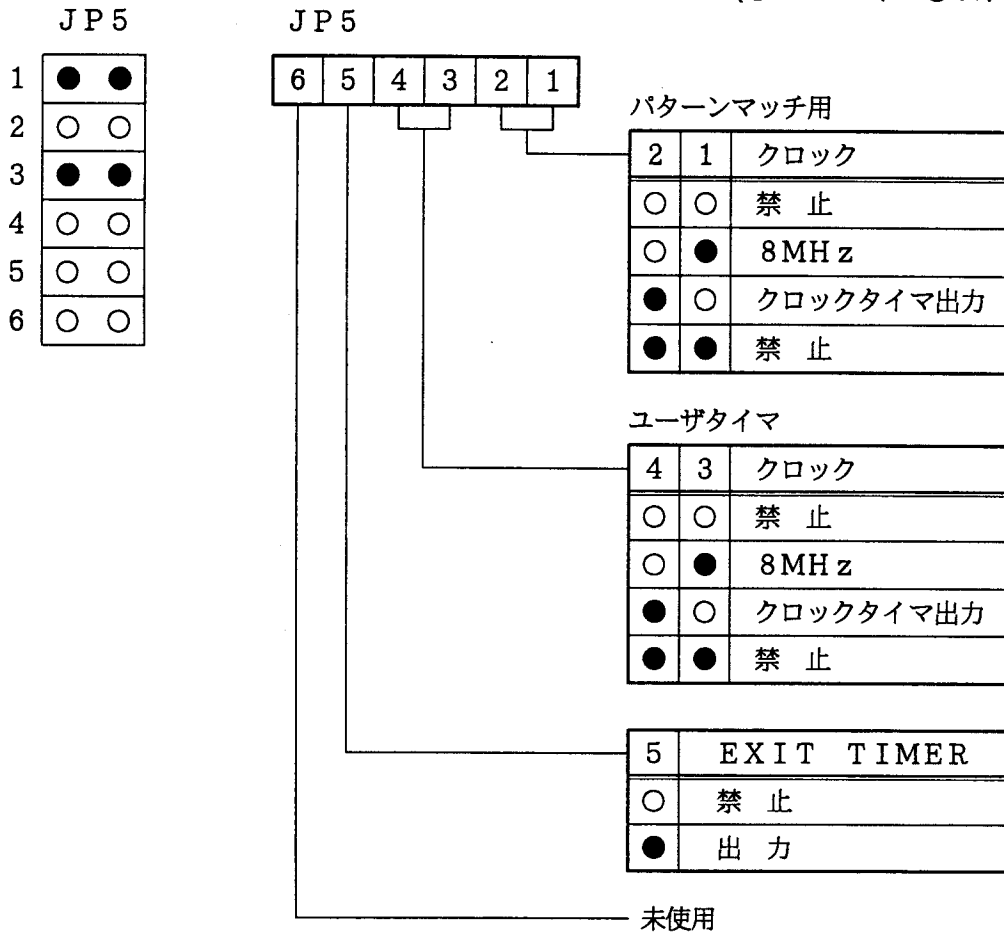




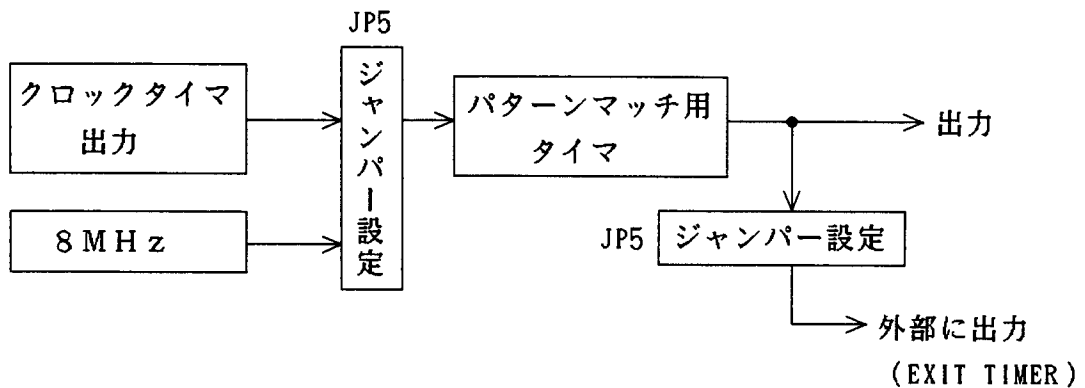
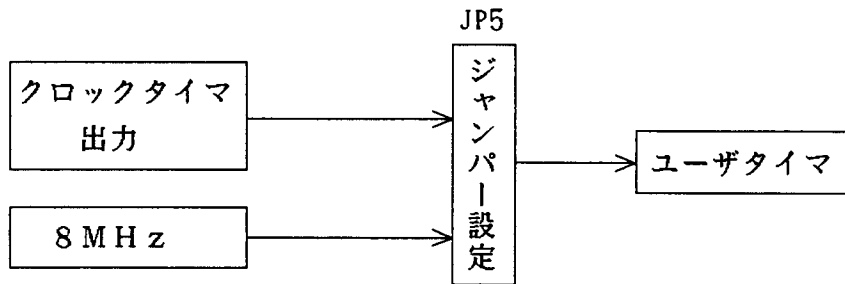
注意) H : ハイ・レベル (1)
 L : ロウ・レベル (0)

6-3 タイマ

2つのタイマのベース・クロック及び、EXITタイマの出力を、次の表に従い設定して下さい。
 (●:ショート ○:オープン)



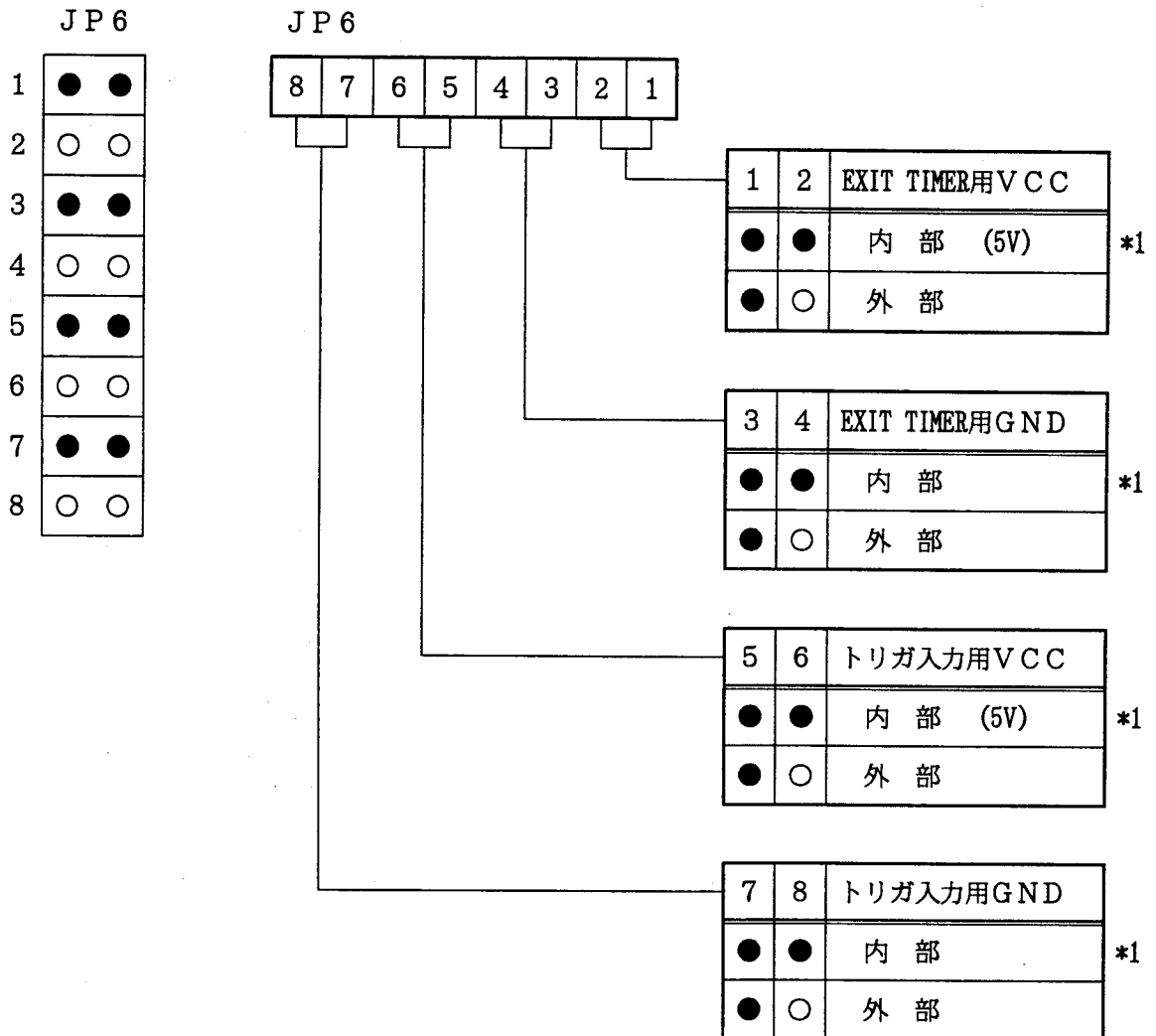
構成:



6-4 外部供給電源

6-4-1 EXIT TIMER, トリガ入力

フォトカブラの外部側電源を次の表に従い設定して下さい。(●:ショート ○:オープン)



*1: 電源設定注意事項

表中の内部側に設定したときは外部への電源供給状態になるようになっています。

そのほかのご使用の場合、システムに合わせて以下を参考に設定して下さい。

EXVCC:

内部電源	① 内部電源使用かつ外部へ供給	JP 7. 1と2
	② 内部電源使用かつ外部へ未供給	JP 7. 1のみ
外部電源	③ 外部電源使用	JP 7. 2のみ

EXGND:

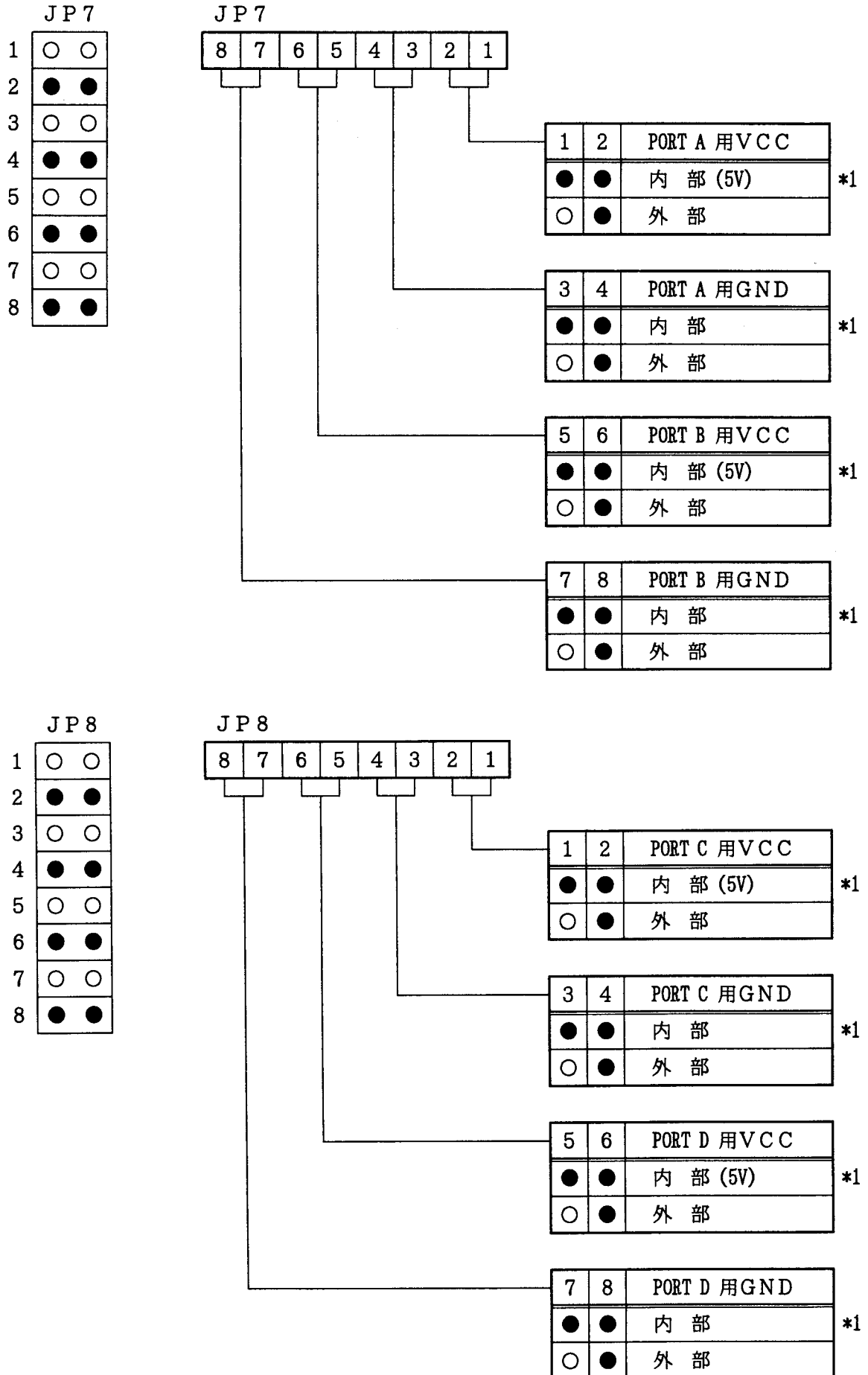
内部電源	① 内部電源GND使用 (外部供給及び外部未供給 相方)	JP 7. 3と4
	② 外部電源GND使用	JP 7. 4のみ

*JP 6のVCCのみ内部設定は、以下のようして下さい。

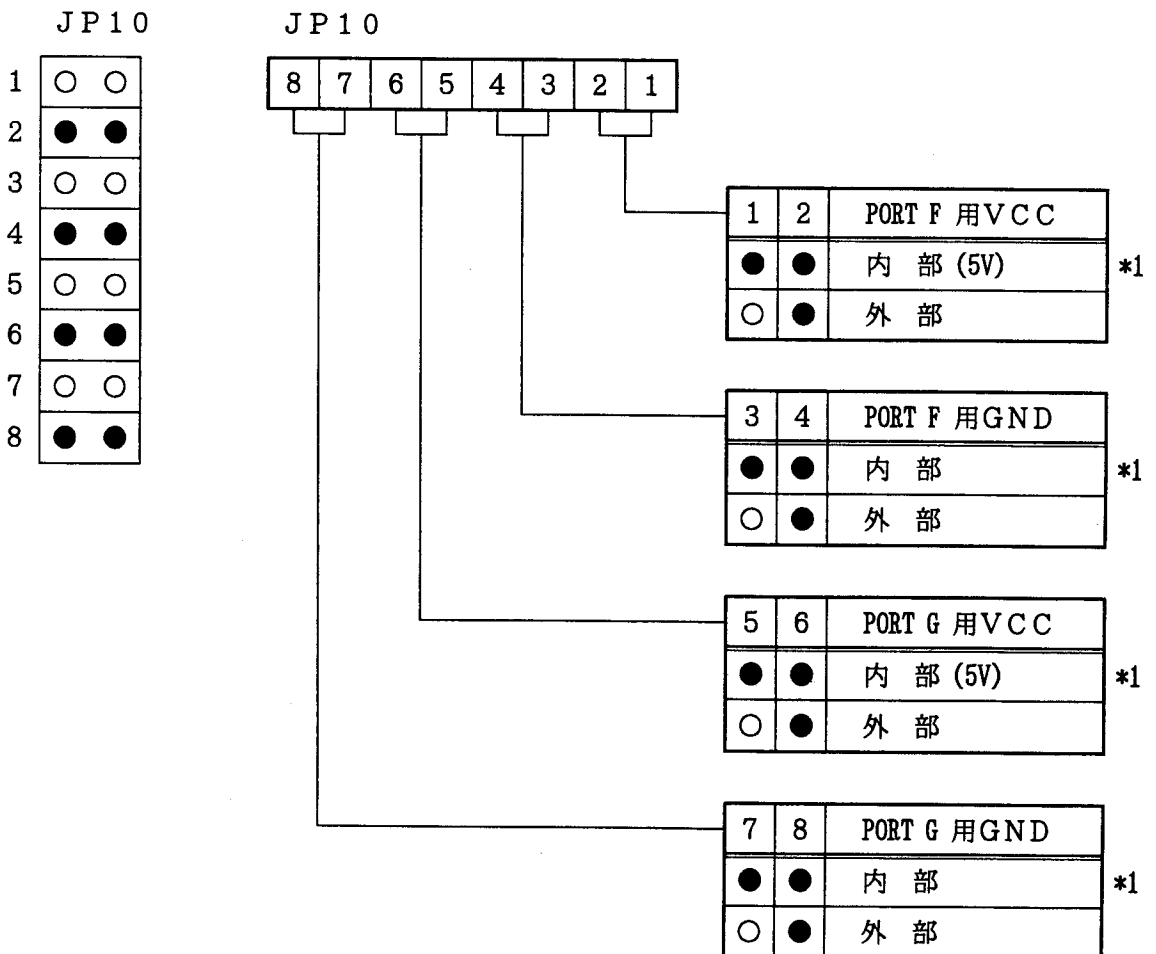
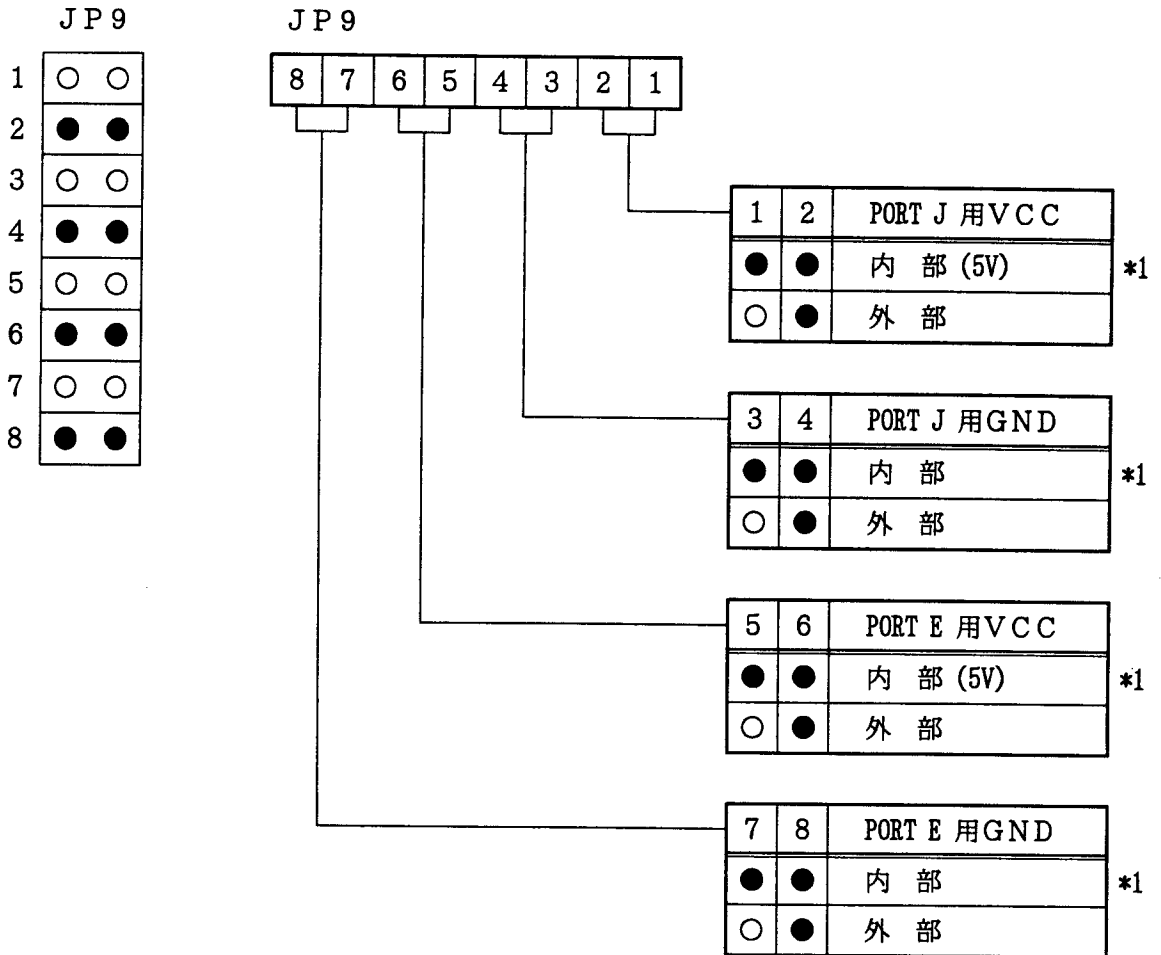
① 内部電源使用かつ外部へ供給	JP 6. 1と2
② 内部電源使用かつ外部へ未供給	JP 6. 2のみ

6-4-2 I/O PORT

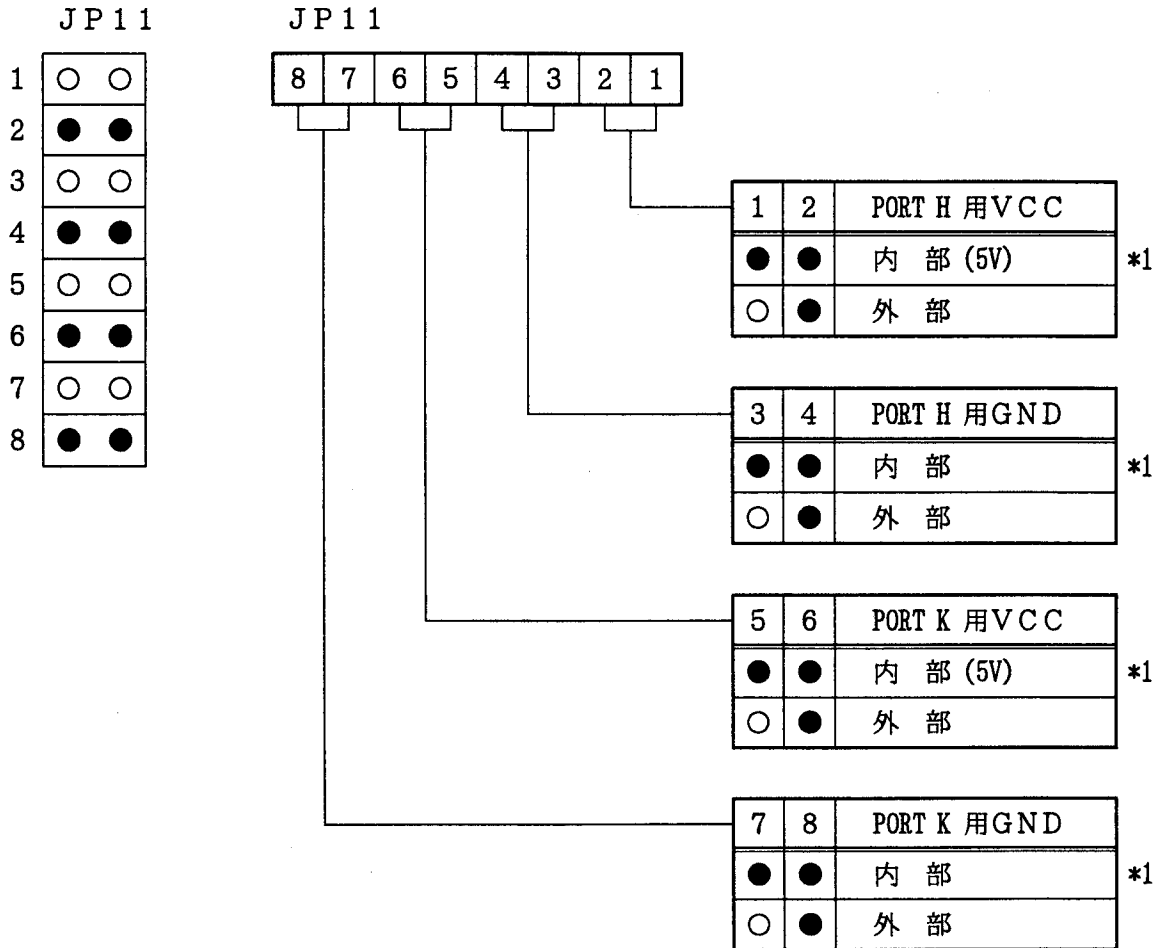
I/O PORTのフォトカプラ外部側電源を次の表に従い設定して下さい。
MDL-03の場合は内部側に設定して下さい。 (●:ショート ○:オープン)



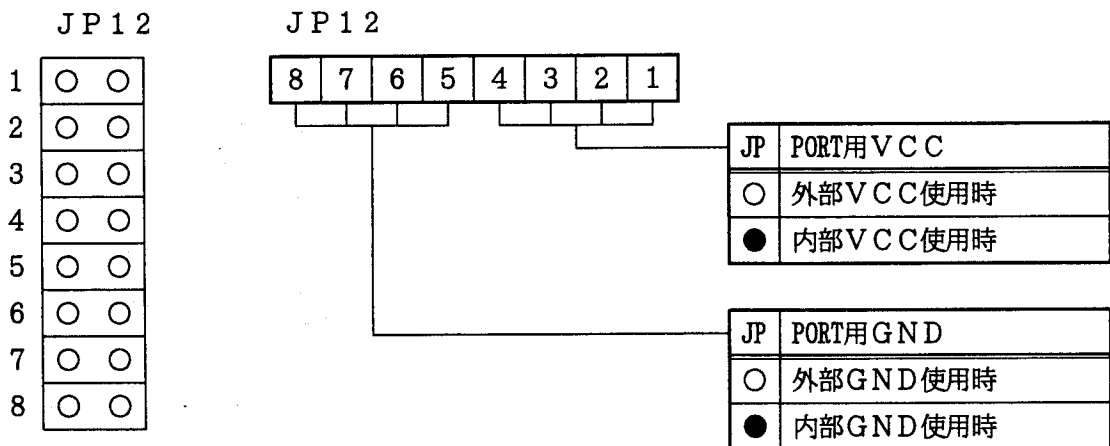
※ 設定を変更する場合はJP12の設定も変更して下さい。



※ 設定を変更する場合はJP12の設定も変更して下さい。

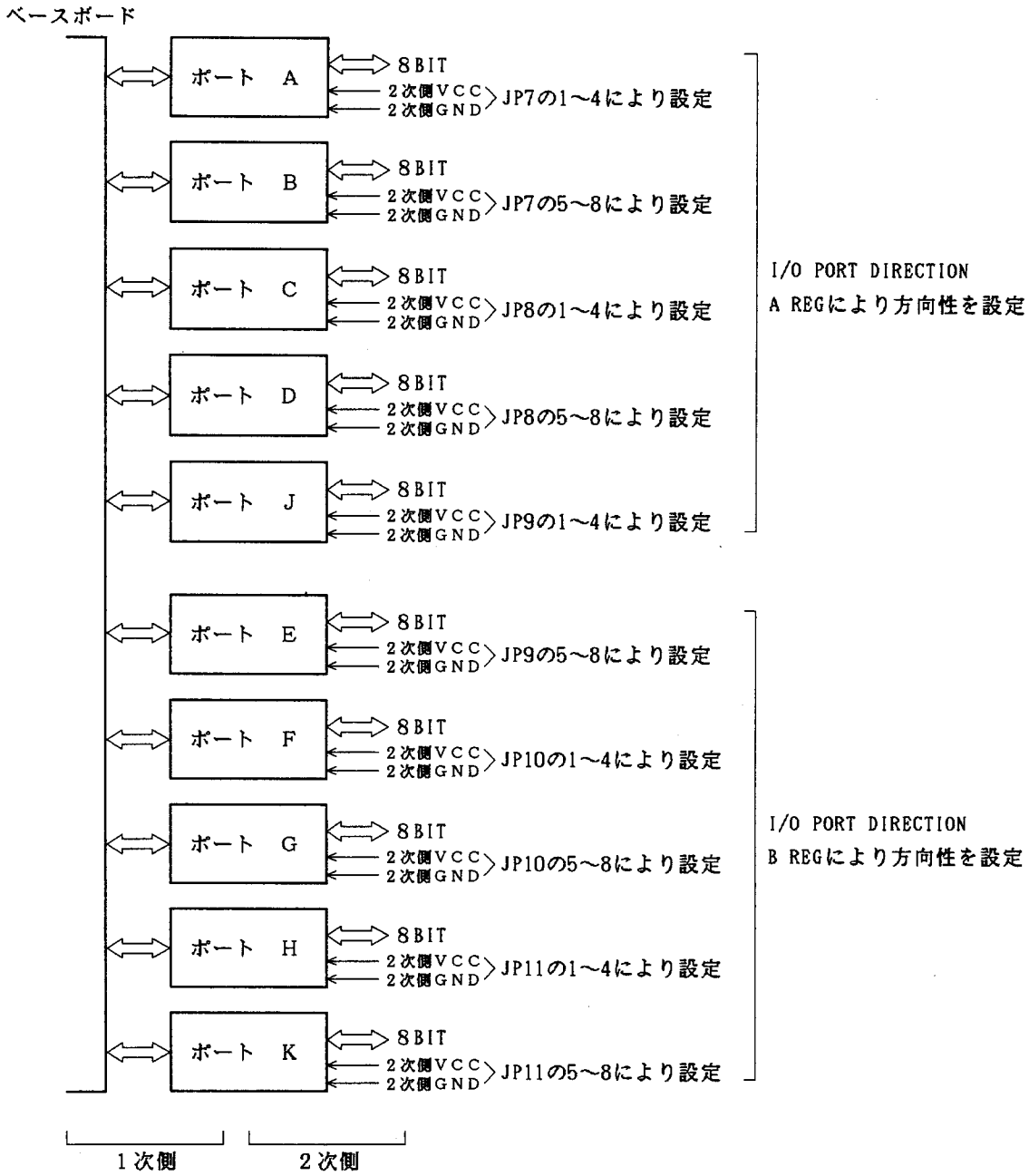


※ 設定を変更する場合はJP12の設定も変更して下さい。



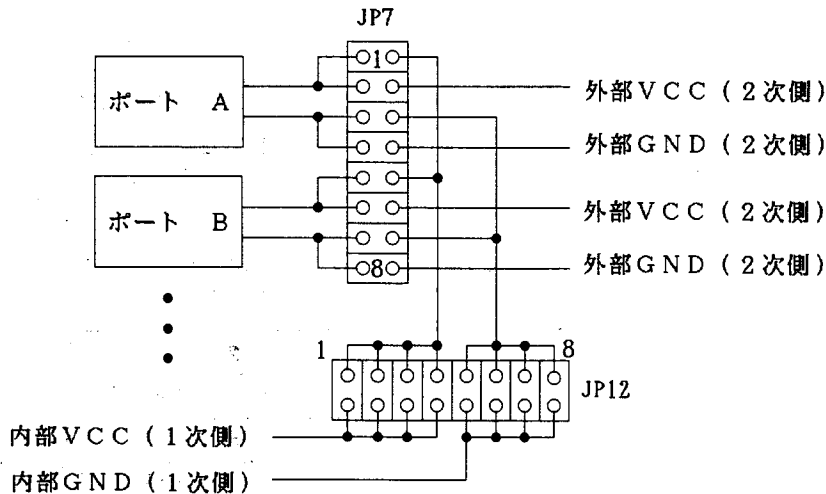
注意) 設定変更する際は8個全部を揃えて下さい。

PVME-501ポート概要



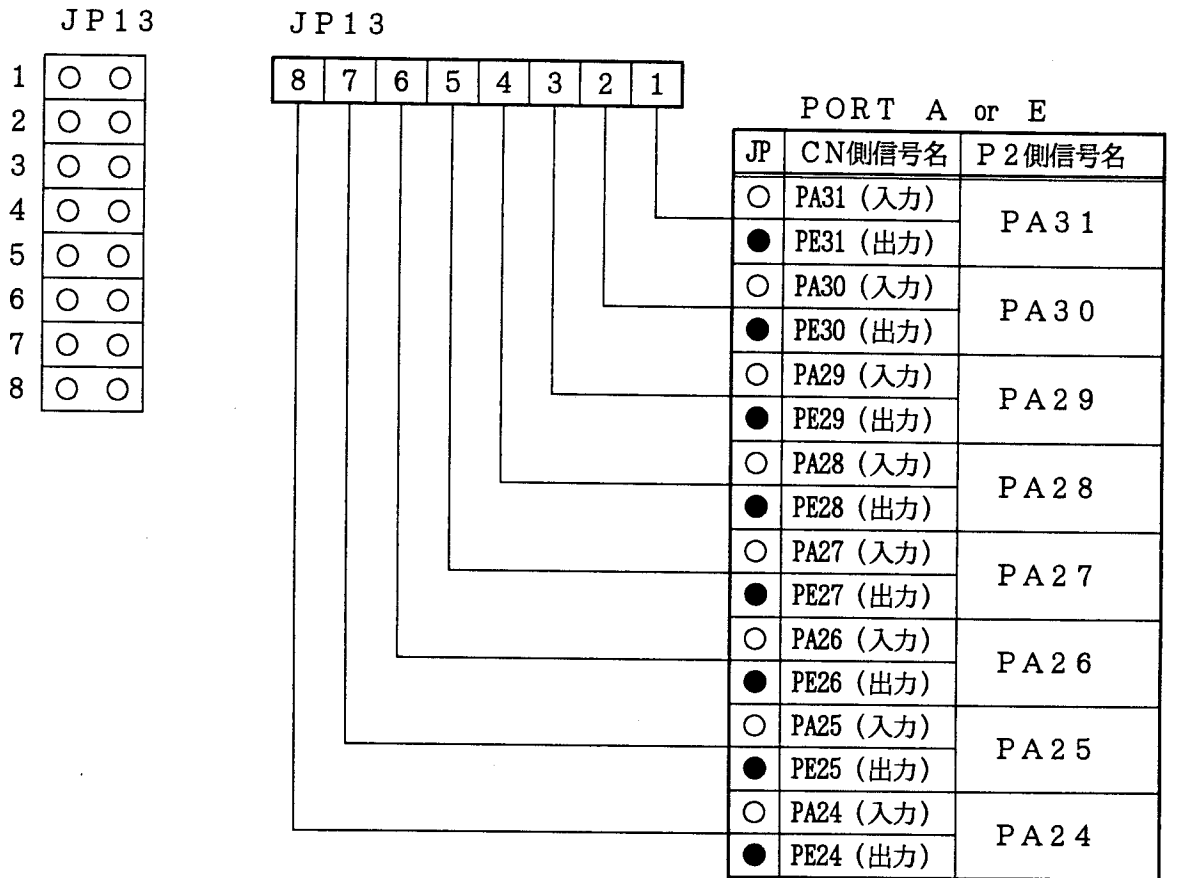
JP12は2次側の電源を1次側（内部）から供給する場合に全てショートさせ、各ポートで内部側に設定して下さい。
内部電源と外部電源をポートごとに別々に使用される場合はJP7~11の設定に注意して下さい。

2次側 電源構成:

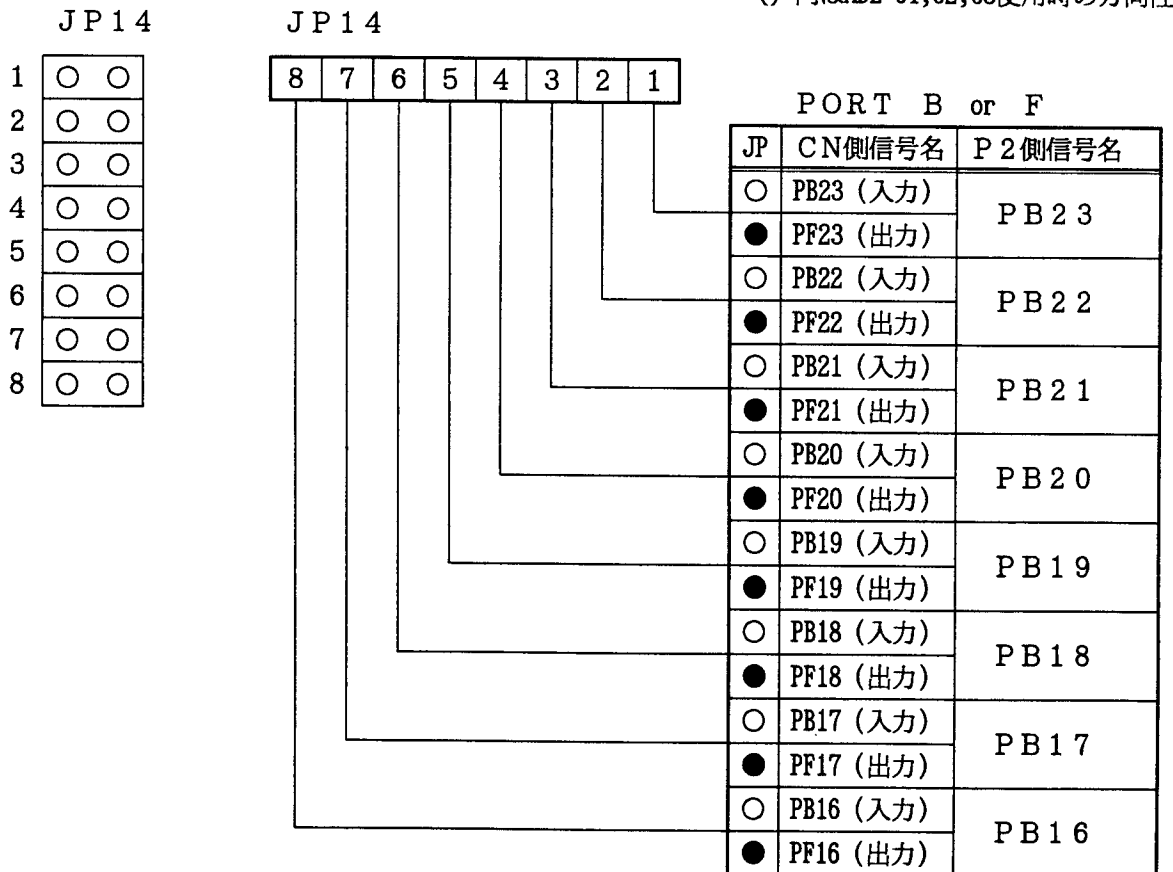


6-5 P2側入出力

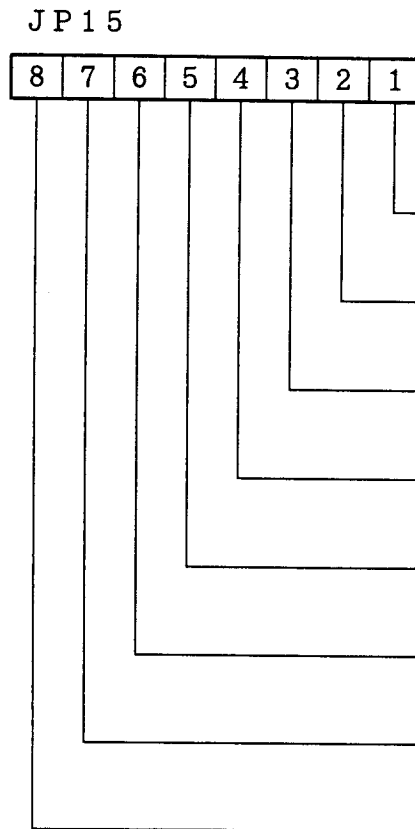
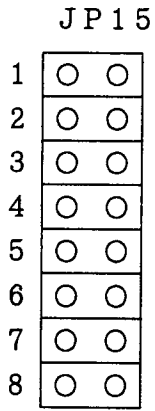
P2側の入出力を、次の表に従い設定して下さい。(●:ショート ○:オープン)



() 内はMDL-01,02,03使用時の方向性



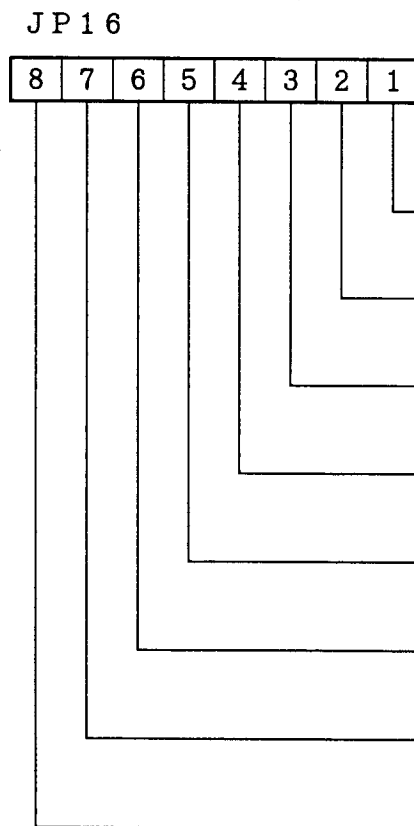
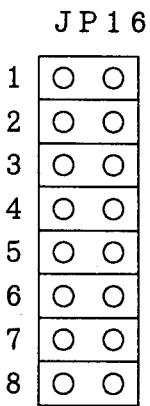
() 内はMDL-01,02,03使用時の方向性



PORT C or G

JP	CN側信号名	P2側信号名
○	PC15 (入力)	PC15
●	PG15 (出力)	
○	PC14 (入力)	PC14
●	PG14 (出力)	
○	PC13 (入力)	PC13
●	PG13 (出力)	
○	PC12 (入力)	PC12
●	PG12 (出力)	
○	PC11 (入力)	PC11
●	PG11 (出力)	
○	PC10 (入力)	PC10
●	PG10 (出力)	
○	PC9 (入力)	PC9
●	PG9 (出力)	
○	PC8 (入力)	PC8
●	PG8 (出力)	

() 内はMDL-01,02,03使用時の方向性



PORT D or H

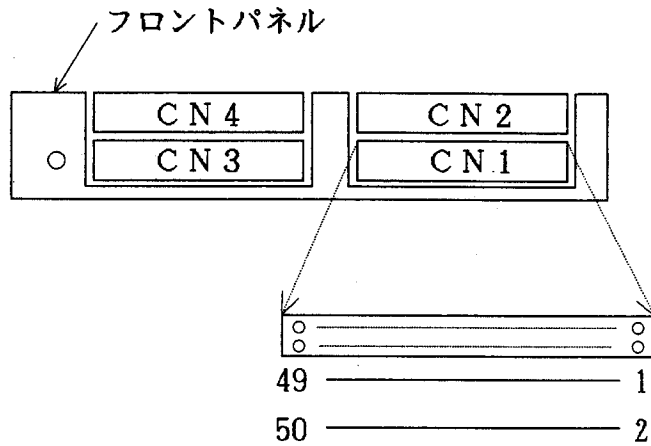
JP	CN側信号名	P2側信号名
○	PD7 (入力)	PD7
●	PH7 (出力)	
○	PD6 (入力)	PD6
●	PH6 (出力)	
○	PD5 (入力)	PD5
●	PH5 (出力)	
○	PD4 (入力)	PD4
●	PH4 (出力)	
○	PD3 (入力)	PD3
●	PH3 (出力)	
○	PD2 (入力)	PD2
●	PH2 (出力)	
○	PD1 (入力)	PD1
●	PH1 (出力)	
○	PD0 (入力)	PD0
●	PH0 (出力)	

() 内はMDL-01,02,03使用時の方向性

第7章 コネクタ・ピンアサイン

7-1 入出力用コネクタCN1, CN2, CN3, CN4

フラットケーブル用コネクタ (正面図)



コネクタ型名: CN1, 3 → FCN-705P050-AU/M : 富士通コンポ-ネント
 CN2, 4 → FCN-709P050-AU/MS: 富士通コンポ-ネント

*信号名構成

P□××

┌─── データバスビット

└─── PORT名

□VCC ポート□に対する外部接続用VCC

└─── PORT名

□GND ポート□に対する外部接続用GND

└─── PORT名

(例)

PA31

┌─── D31

└─── PORT A

CN1ピンアサイン表

PORT	PIN番号	信号名	PIN番号	信号名
A	1	AVCC	2	AGND
	3	AVCC	4	AGND
	5	PA31	6	AGND
	7	PA30	8	AGND
	9	PA29	10	AGND
	11	PA28	12	AGND
	13	PA27	14	AGND
	15	PA26	16	AGND
	17	PA25	18	AGND
	19	PA24	20	AGND
B	21	BVCC	22	BGND
	23	BVCC	24	BGND
	25	PB23	26	BGND
	27	PB22	28	BGND
	29	PB21	30	BGND
	31	PB20	32	BGND
	33	PB19	34	BGND
	35	PB18	36	BGND
	37	PB17	38	BGND
	39	PB16	40	BGND
J	41	JVCC	42	JGND
	43	PJ7	44	PJ6
	45	PJ5	46	PJ4
	47	JGND	48	*
	49	*	50	*

*N.C

CN2ピンアサイン表

PORT	PIN番号	信号名	PIN番号	信号名
C	1	CVCC	2	CGND
	3	CVCC	4	CGND
	5	PC15	6	CGND
	7	PC14	8	CGND
	9	PC13	10	CGND
	11	PC12	12	CGND
	13	PC11	14	CGND
	15	PC10	16	CGND
	17	PC9	18	CGND
	19	PC8	20	CGND
D	21	DVCC	22	DGND
	23	DVCC	24	DGND
	25	PD7	26	DGND
	27	PD6	28	DGND
	29	PD5	30	DGND
	31	PD4	32	DGND
	33	PD3	34	DGND
	35	PD2	36	DGND
	37	PD1	38	DGND
	39	PD0	40	DGND
J	41	JVCC	42	JGND
	43	PJ3	44	PJ2
	45	PJ1	46	PJ0
	47	JGND	48	*
	49	*	50	*

*N.C

CN3ピンアサイン表

PORT	PIN番号	信号名	PIN番号	信号名
E	1	EVCC	2	EGND
	3	EVCC	4	EGND
	5	PE31	6	EGND
	7	PE30	8	EGND
	9	PE29	10	EGND
	11	PE28	12	EGND
	13	PE27	14	EGND
	15	PE26	16	EGND
	17	PE25	18	EGND
	19	PE24	20	EGND
F	21	FVCC	22	FGND
	23	FVCC	24	FGND
	25	PF23	26	FGND
	27	PF22	28	FGND
	29	PF21	30	FGND
	31	PF20	32	FGND
	33	PF19	34	FGND
	35	PF18	36	FGND
	37	PF17	38	FGND
	39	PF16	40	FGND
K	41	KVCC	42	KGND
	43	PK7	44	PK6
	45	PK5	46	PK4
	47	KGND	48	EXVCC
	49	EXTM	50	EXGND

CN3の48, 49, 50番PINは、EXIT TIMER (外部出力用タイマ) に使用

EXVCC - 外部用VCC
 EXTM - EXIT TIMER
 EXGND - 外部用GND

CN4ピンアサイン表

PORT	PIN番号	信号名	PIN番号	信号名
G	1	GVCC	2	GGND
	3	GVCC	4	GGND
	5	PG15	6	GGND
	7	PG14	8	GGND
	9	PG13	10	GGND
	11	PG12	12	GGND
	13	PG11	14	GGND
	15	PG10	16	GGND
	17	PG9	18	GGND
	19	PG8	20	GGND
H	21	HVCC	22	HGND
	23	HVCC	24	HGND
	25	PH7	26	HGND
	27	PH6	28	HGND
	29	PH5	30	HGND
	31	PH4	32	HGND
	33	PH3	34	HGND
	35	PH2	36	HGND
	37	PH1	38	HGND
	39	PH0	40	HGND
K	41	KVCC	42	KGND
	43	PK3	44	PK2
	45	PK1	46	PK0
	47	KGND	48	TRVCC
	49	TRIN	50	TRGND

CN4の48, 49, 50番PINは外部トリガ入力に使用

TRVCC - 外部用VCC
 TRIN - トリガ入力
 TRGND - 外部用GND

7-2 VME BUS用コネクタ

P1ピン割当て

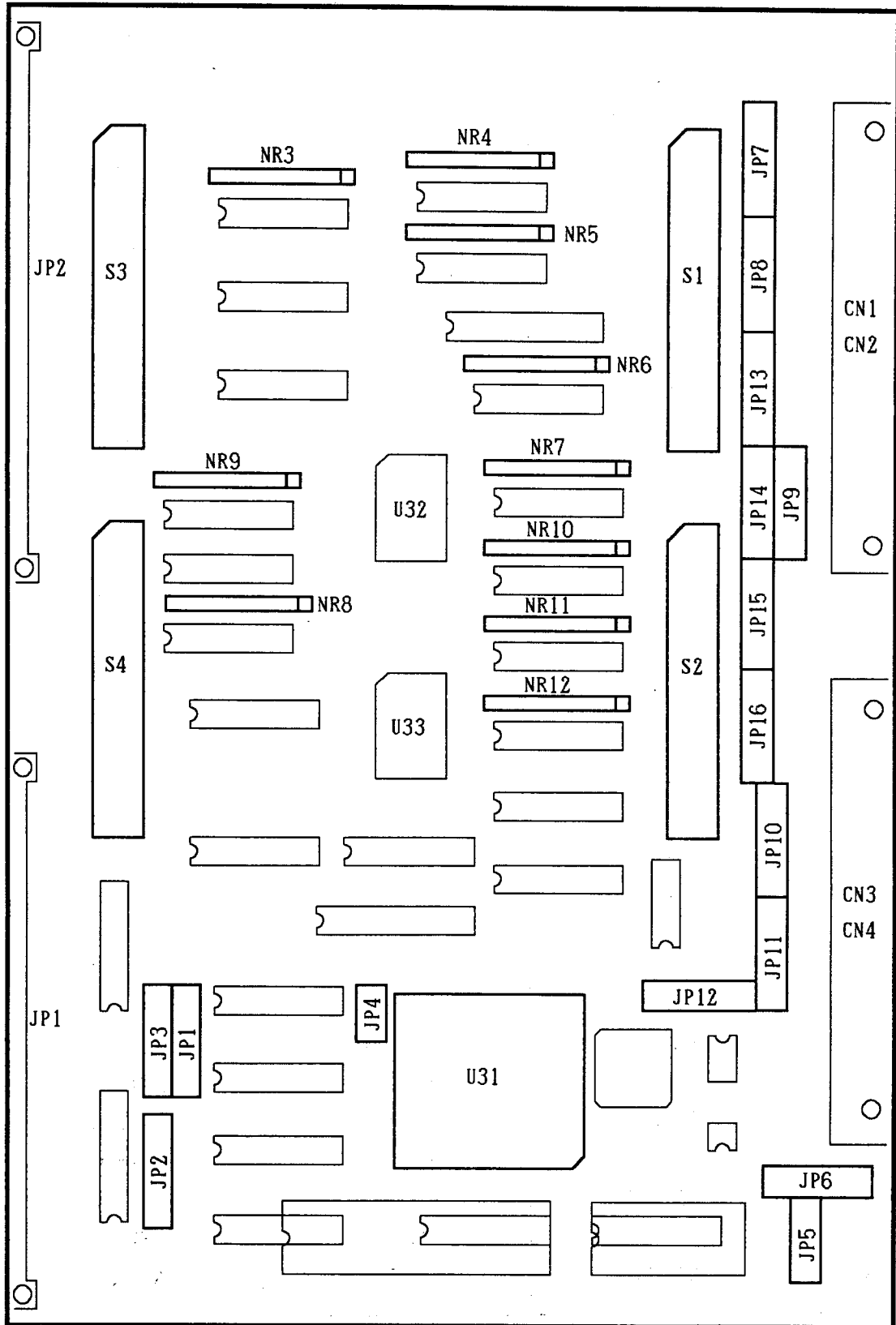
ピン番号	列aの信号ニーマニック	列bの信号ニーマニック	列cの信号ニーマニック
1	D00	BBSY*	D08
2	D01	BCLR*	D09
3	D02	ACFAIL*	D10
4	D03	BG0IN*	D11
5	D04	BG0OUT*	D12
6	D05	BG1IN*	D13
7	D06	BG1OUT*	D14
8	D07	BG2IN*	D15
9	GND	BG2OUT*	GND
10	SYSCLK	BG3IN*	SYSFAIL*
11	GND	BG3OUT*	BERR*
12	DS1*	BR0*	SYSRESET*
13	DS0*	BR1*	LWORD*
14	WRITE*	BR2*	AM5
15	GND	BR3*	A23
16	DTACK*	AM0	A22
17	GND	AM1	A21
18	AS*	AM2	A20
19	GND	AM3	A19
20	IACK*	GND	A18
21	IACKIN*	SERCLK(1)	A17
22	IACKOUT*	SERDAT*(1)	A16
23	AM4	GND	A15
24	A07	IRQ7*	A14
25	A06	IRQ6*	A13
26	A05	IRQ5*	A12
27	A04	IRQ4*	A11
28	A03	IRQ3*	A10
29	A02	IRQ2*	A09
30	A01	IRQ1*	A08
31	-12V	+5V STDBY	+12V
32	+5V	+5V	+5V

P 2ピン割当て

ピン番号	列 a の信号ニーモニック	列 b の信号ニーモニック	列 c の信号ニーモニック
1	*	+5V	*
2	*	GND	*
3	PK1	保留	PK0
4	PK3	A24	PK2
5	PJ1	A25	PJ0
6	PJ3	A26	PJ2
7	PD1	A27	PD0
8	PD3	A28	PD2
9	PD5	A29	PD4
10	PD7	A30	PD6
11	PC9	A31	PC8
12	PC11	GND	PC10
13	PC13	+5V	PC12
14	PC15	D16	PC14
15	PB17	D17	PB16
16	PB19	D18	PB18
17	PB21	D19	PB20
18	PB23	D20	PB22
19	PA25	D21	PA24
20	PA27	D22	PA26
21	PA29	D23	PA28
22	PA31	GND	PA30
23	KVCC	D24	KGND
24	HVCC	D25	HGND
25	GVCC	D26	GGND
26	FVCC	D27	FGND
27	EVCC	D28	EGND
28	JVCC	D29	JGND
29	DVCC	D30	DGND
30	CVCC	D31	CGND
31	BVCC	GND	BGND
32	AVCC	+5V	AGND

*N.C

7-3 ジャンパー・ピン, ネットワーク抵抗配置図



第 8 章 使用例

8-1 設定例

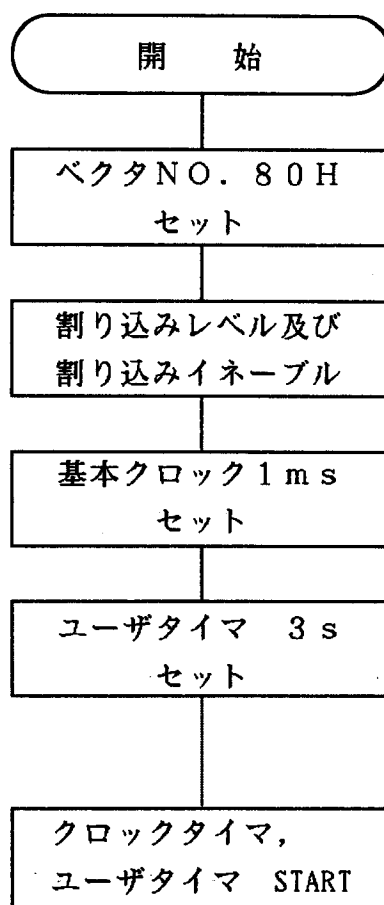
8-1-1 ユーザタイマ

PROGRAM 1 は以下の条件を設定しています。

ユーザタイマ基本クロック : クロックタイマ使用 (1msにセット)

ユーザタイマ 3sにセット

割り込み : INT0 = IRQ 5, VECTOR 80H



PROGRAM 1

```

#include      <stdio.h>

#define      BASE      0xfc4b0000      /* BASE ADDRESS */
#define      BC0      BASE+0x01      /* BIM CONTROL REG 0 */
#define      BV0      BASE+0x09      /* BIM VECTOR REG 0 */
#define      TC0      BASE+0x11      /* TIMER COUNTER #0 */
#define      TC2      BASE+0x15      /* TIMER COUNTER #1 */
#define      TW      BASE+0x17      /* TIMER CONTROL WORD REG */
#define      TG0      BASE+0x19      /* TIMER GATE #0 */
#define      TG2      BASE+0x1d      /* TIMER GATE #2 */

main()
{

    unsigned char  *bc0,*bv0,*tc0,*tc2,*tw,*tg0,*tg2;

    bc0 = (unsigned char *) (BC0);
    bv0 = (unsigned char *) (BV0);
    tc0 = (unsigned char *) (TC0);
    tc2 = (unsigned char *) (TC2);
    tw = (unsigned char *) (TW);
    tg0 = (unsigned char *) (TG0);
    tg2 = (unsigned char *) (TG2);

    /* ----- VECTOR NUMBER ----- */
    *bv0 = 0x80;          /* INT 0 VECTOR 80H SET */

    /* ----- INTERRUPT LEVEL ----- */
    *bc0 = 0x1d;        /* INT 0 IRQ5 SET */

    /* ----- CLOCK TIMER ----- */
    *tw = 0x34;          /* CLOCK TIMER 1ms SET */
    *tc0 = 0x40;
    *tc0 = 0x1f;

    /* ----- USER TIMER ----- */
    *tw = 0xb4;          /* USER TIMER 3s SET */
    *tc2 = 0xb8;
    *tc2 = 0x0b;

    /* ----- TIMER START ----- */
    *tg0 = 0x01;        /* CLOCK TIMER START */
    *tg2 = 0x01;        /* USER TIMER START */

}

```

8-1-2 パターンマッチ

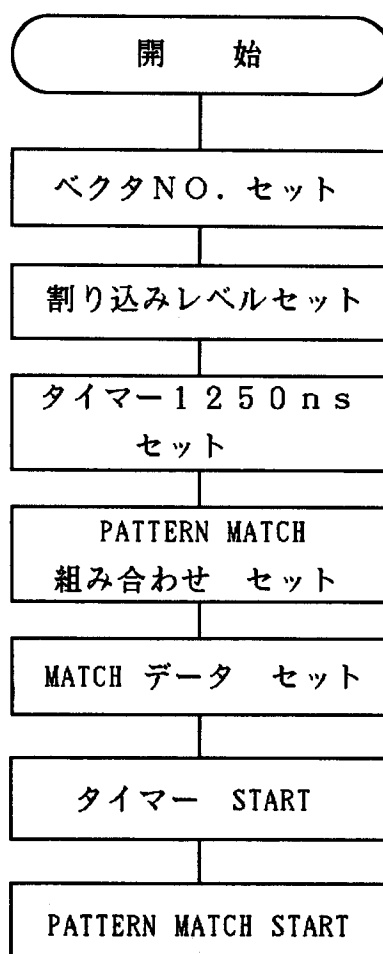
PROGRAM 2 は以下の条件を設定しています。

パターンマッチ組み合わせ : 16 MASK

パターンマッチ用タイマ : 1250ns

比較データ C:55H
D:AAH

割り込み : INT1= IRQ 4, VECTOR 90H
INT2= IRQ 5, VECTOR A0H



PROGRAM 2

```

#include      <stdio.h>

#define      BASE      0xfc4b0000      /* BASE ADDRESS */
#define      BC1      BASE+0x03      /* BIM CONTROL REG 1 */
#define      BC2      BASE+0x05      /* BIM CONTROL REG 2 */
#define      BV1      BASE+0x0b      /* BIM VECTOR REG 1 */
#define      BV2      BASE+0x0d      /* BIM VECTOR REG 2 */
#define      TC1      BASE+0x13      /* TIMER COUNTOR #1 */
#define      TW      BASE+0x17      /* TIMER CONTROL WORD REG */
#define      TG1      BASE+0x1b      /* TIMER GATE #1 */
#define      CP      BASE+0x23      /* COMPARE PATTERN CONDITION */
#define      PC      BASE+0x25      /* PATTERN C SET REG */
#define      PD      BASE+0x27      /* PATTERN D SET REG */
#define      PM      BASE+0x29      /* PATTERN MATCH OUT */

main()
{

    unsigned char  *bc1,*bc2,*bv1,*bv2,*tc1,*tw,*tg1,*cp,*pc,*pd,*pm;

    bc1 = (unsigned char *) (BC1);
    bc2 = (unsigned char *) (BC2);
    bv1 = (unsigned char *) (BV1);
    bv2 = (unsigned char *) (BV2);
    tc1 = (unsigned char *) (TC1);
    tw = (unsigned char *) (TW);
    tg1 = (unsigned char *) (TG1);
    cp = (unsigned char *) (CP);
    pc = (unsigned char *) (PC);
    pd = (unsigned char *) (PD);
    pm = (unsigned char *) (PM);

    /* ----- VECTOR NUMBER ----- */
    *bv1 = 0x90;          /* INT 1 VECTOR 90H SET */
    *bv2 = 0xa0;          /* INT 2 VECTOR A0H SET */

    /* ----- INTERRUPT LEVEL ----- */
    *bc1 = 0x1c;          /* INT 1 IRQ4 SET */
    *bc2 = 0x1b;          /* INT 2 IRQ3 SET */

    /* ----- TIMER ----- */
    *tw = 0x55;           /* PATTERN MATCH & EXIT TIMER */
    *tc1 = 0x0a;          /* 1250ns SET */

    /* ----- PATTERN COMBINATION ----- */
    *cp = 0x05;           /* COMPARE PATTERN "16 MASK" SET */

    /* ----- MATCH DATA ----- */
    *pc = 0x55;           /* PATTERN C DATA 55H SET */
    *pd = 0xaa;           /* PATTERN D DATA AAH SET */

    *tg1 = 0x01;          /* TIMER COUNT START */
    *pm = 0x03;          /* PATTERN MATCH START */

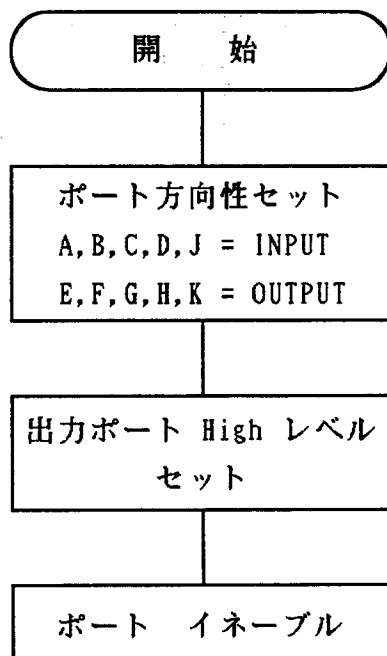
}

```

8-1-3 I/O PORT

PROGRAM 3 はリセット後の設定で出力ポートをイネーブルした時 Highレベルでとるためのプログラム例です。

I/Oモジュール構成：IN40/OUT40
(3-5 I/O アクセス参照)



PROGRAM 4 は3-5項の操作手順の例です。

I/Oモジュール構成：IN40/OUT40

PROGRAM 3

```

#include      <stdio.h>

#define      BASE      0xfc4b0000      /* BASE ADDRESS */
#define      PDA      BASE+0x1f      /* I/O PORT DIRECTION A REG */
#define      PDB      BASE+0x21      /* I/O PORT DIRECTION B REG */
#define      PEA      BASE+0x2b      /* PORT ENABLE A */
#define      PEB      BASE+0x2d      /* PORT ENABLE B */
#define      KD      BASE+0x3f      /* PORT K */
#define      ED      BASE+0x44      /* PORT E */

main()
{

    unsigned char *pda,*pdb,*pea,*peb,*kd;
    unsigned long *ed;

    pda = (unsigned char *)PDA;
    pdb = (unsigned char *)PDB;
    pea = (unsigned char *)PEA;
    peb = (unsigned char *)PEB;
    kd = (unsigned char *)KD;
    ed = (unsigned long *)ED;

    /* ----- PORT DIRECTION ----- */
    *pda = 0x00;          /* PORT A-J INPUT SET */
    *pdb = 0x1f;          /* PORT E-K OUTPUT SET */

    /* ----- OUTPUT PORT ----- */
    *ed = 0xffffffff;    /* PORT E-H High LEVEL SET */
    *kd = 0xff;          /* PORT K High LEVEL SET */

    /* ----- PORT ENABLE ----- */
    *pea = 0x1f;          /* PORT A-J ENABLE */
    *peb = 0x1f;          /* PORT E-K ENABLE */

}

```

PROGRAM 4

```

#include      <stdio.h>

#define      BASE      0xfc4b0000      /* BASE ADDRESS */
#define      PDA      BASE+0x1f      /* I/O PORT DIRECTION A REG */
#define      PDB      BASE+0x21      /* I/O PORT DIRECTION B REG */
#define      PEA      BASE+0x2b      /* PORT ENABLE A */
#define      PEB      BASE+0x2d      /* PORT ENABLE B */
#define      JD      BASE+0x3d      /* PORT J */
#define      KD      BASE+0x3f      /* PORT K */
#define      AD      BASE+0x40      /* PORT A */
#define      CD      BASE+0x42      /* PORT C */
#define      ED      BASE+0x44      /* PORT E */
#define      GD      BASE+0x46      /* PORT G */

main()
{

    short    data[3];
    char     hsdata[2];

    unsigned char *pda,*pdb,*pea,*peb,*jd,*kd;
    unsigned short *ad,*cd,*ed,*gd;

    pda = (unsigned char *) (PDA);
    pdb = (unsigned char *) (PDB);
    pea = (unsigned char *) (PEA);
    peb = (unsigned char *) (PEB);
    jd = (unsigned char *) (JD);
    kd = (unsigned char *) (KD);
    ad = (unsigned short *) (AD);
    cd = (unsigned short *) (CD);
    ed = (unsigned short *) (ED);
    gd = (unsigned short *) (GD);

    /* ----- PORT DIRECTION ----- */

    *pda = 0x00;          /* PORT A-J INPUT SET */
    *pdb = 0x1f;          /* PORT E-K OUTPUT SET */

    /* ----- OUTPUT FIRST DATA SET ----- */

    *ed = 0x1234;         /* PORT E,F first DATA "1234" WORD WRITE */
    *gd = 0x5678;         /* PORT G,H first DATA "5678" WORD WRITE */
    *kd = 0xaa;          /* PORT K first DATA "AA" WORD WRITE */

    /* ----- PORT ENABLE ----- */

    *pea = 0x1f;         /* PORT A,B,C,D,J ENABLE */
    *peb = 0x1f;         /* PORT E,F,G,H,K ENABLE */

    /* ----- I/O PORT ACCESS ----- */

    data[0] = *ad;       /* PORT A,B WORD DATA READ */
    data[1] = *cd;       /* PORT C,D WORD DATA READ */

    *ed = 0xaaaa;       /* PORT E,F WROD DATA WRITE */
    *gd = 0x5555;       /* PORT G,H WROD DATA WRITE */

    hsdata[0] = *jd;    /* PORT J BYTE DATA READ */
    *kd = 0xff;         /* PORT K BYTE DATA WRITE */
    .
    .
    .
}

```


第9章 I/Oモジュール

9-1 仕様

MDL-01 (標準品: フォトカプラ PS2532相当品)

入力ビット数	40ビット (32ビット + 8ビット)	PORT A,B,C,D,J 固定
出力ビット数	40ビット (32ビット + 8ビット)	PORT E,F,G,H,K 固定
入力電圧	DC5V/12V/24V	
出力耐圧	DC50V	
出力電流	100mA (MAX) V_{OL} (MAX) 0.5V	
遅延時間	$t_{ON} = 4\mu s$ (TYP), $t_{OFF} = 110\mu s$ (TYP)	
5VタイプのみVCC, GNDを内部, 外部ジャンパー設定可能 (メインボード側)		

MDL-02 (フォトカプラ TLP2631相当品)

入力ビット数	40ビット (32ビット + 8ビット)	PORT A,B,C,D,J 固定
出力ビット数	40ビット (32ビット + 8ビット)	PORT E,F,G,H,K 固定
入力電圧	DC5V	
出力耐圧	DC5V	
出力電流	15mA (MAX) V_{OL} (MAX) 0.5V	
遅延時間	$t_{ON} = 100ns$ (MAX), $t_{OFF} = 100ns$ (MAX)	
VCC, GNDを内部, 外部ジャンパー設定可能 (メインボード側)		

MDL-03 (TTL/オープンコレクタ)

入力ビット数	40ビット (32ビット + 8ビット)	PORT A,B,C,D,J 固定
出力ビット数	40ビット (32ビット + 8ビット)	PORT E,F,G,H,K 固定
入力特性	V_{IH} (MIN) = 2V, I_{IH} (MAX) = 20 μ A V_{IL} (MAX) = 0.8V, I_{IL} (MAX) = -0.1mA	
出力特性	I_{OH} (MAX) = 250 μ A I_{OL} (MAX) = 40mA, V_{OL} (TYP) = 0.4V	
出力耐圧	DC30V (MAX)	
遅延時間	$t_{pLH} = 50ns$ (MAX), $t_{pHL} = 50ns$ (MAX)	

MDL-04 (40Bit入力:フォトカプラ TLP521相当品)

入力ビット数	40ビット (32ビット + 8ビット)
入力電圧	DC5V/12V/24V
遅延時間	$t_{ON} = 2.5\mu s$ (TYP), $t_{OFF} = 45\mu s$ (TYP)
5VタイプのみVCC, GNDを内部, 外部ジャンパー設定可能 (メインボード側)	

MDL-05 (40Bit出力:フォトカプラ PS2532相当品)

出力ビット数	40ビット (32ビット + 8ビット)
出力耐圧	DC50V
出力電流	100mA (MAX) V_{OL} (MAX) 0.5V
遅延時間	$t_{ON} = 4\mu s$ (TYP), $t_{OFF} = 110\mu s$ (TYP)
5VタイプのみVCC, GNDを内部, 外部ジャンパー設定可能 (メインボード側)	

MDL-06 (TTL 40Bit入力)

入力ビット数	40ビット (32ビット + 8ビット)
入力特性	V_{IH} (MIN) = 2V, I_{IH} (MAX) = 20 μ A V_{IL} (MAX) = 0.8V, I_{IL} (MAX) = -0.1mA
遅延時間	$t_{pLH} = 50ns$ (MAX), $t_{pHL} = 50ns$ (MAX)

MDL-07 (TTL 40Bitオープンコレクタ出力)

出力ビット数	40ビット (32ビット + 8ビット)
出力特性	I_{OH} (MAX) = 250 μ A I_{OL} (MAX) = 40mA, V_{OL} (TYP) = 0.4V
出力耐圧	DC30V (MAX)
遅延時間	$t_{pLH} = 50ns$ (MAX), $t_{pHL} = 50ns$ (MAX)

MDL-99 (メッシュ基板)

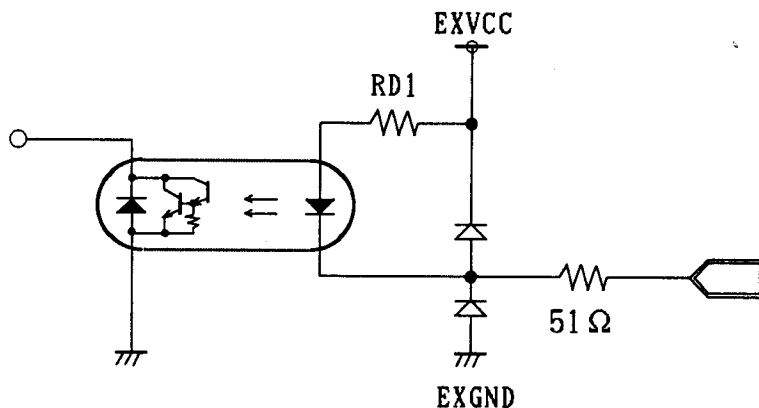
2.54ピッチ 40Bitユニバーサル基板

9-2 回路構成

各モジュールの回路構成は以下の通りです。

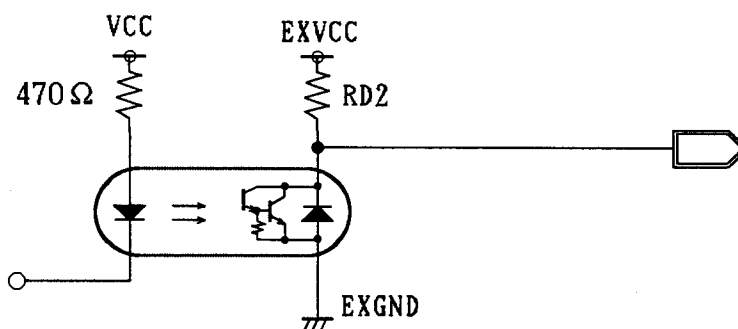
9-2-1 MDL-01 (フォトカブラ PS2532)

<入力側>



- ※ RD1 : DC5V 入力用 = 680Ω (付属品)
 DC12V入力用 = 1.6KΩ (付属品)
 DC24V入力用 = 3.3KΩ (出荷時)

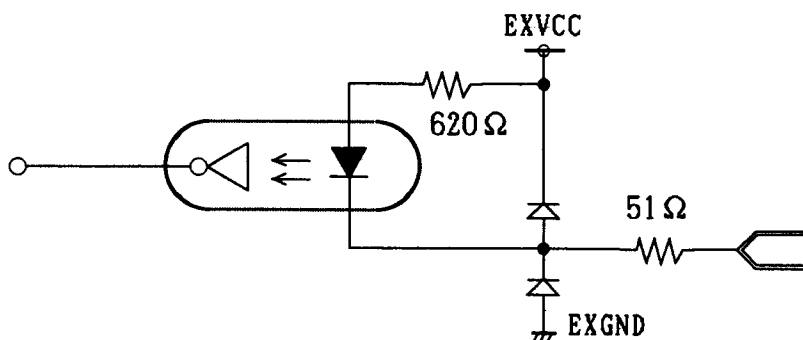
<出力側> ダーリントン トランジスタ出力



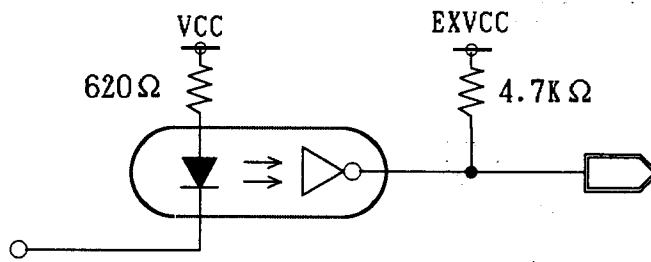
- ※ RD2 : DC5V 出力用 = 4.7KΩ (付属品)
 DC12V出力用 = 12KΩ (付属品)
 DC24V出力用 = 24KΩ (出荷時)

9-2-2 MDL-02 (フォトカブラ TLP2631)

<入力側>

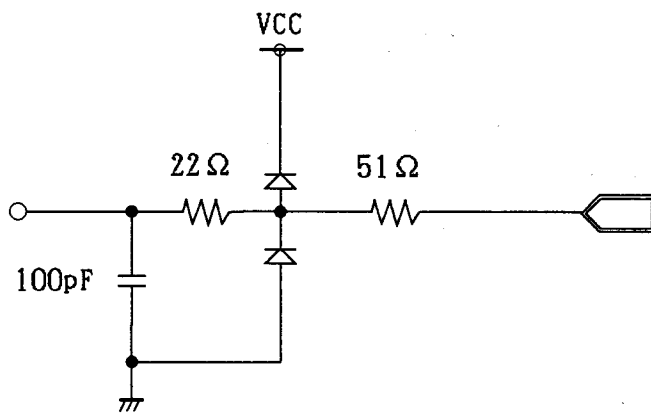


<出力側>

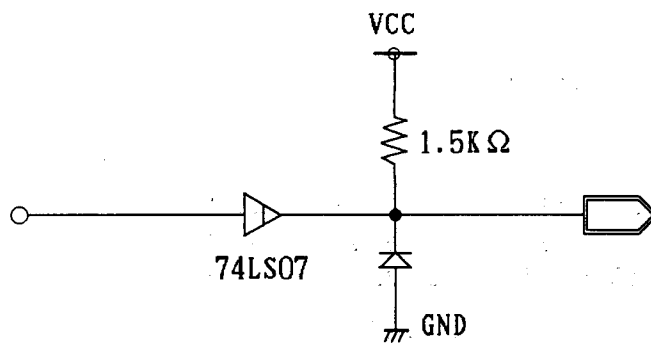


9-2-3 MDL-03

<入力側>



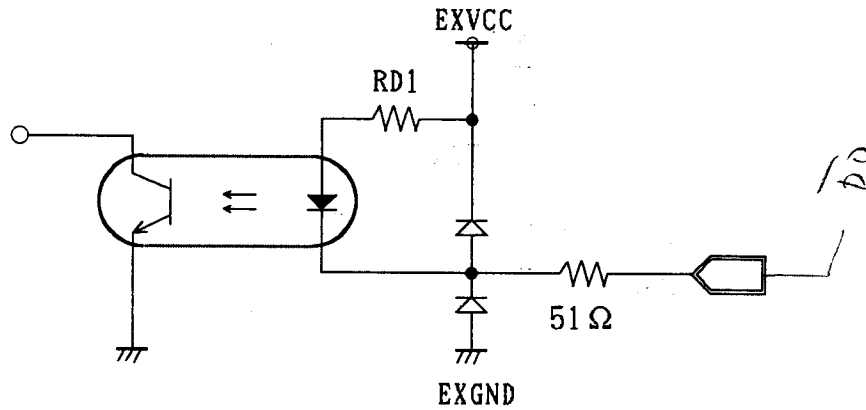
<出力側> オープンコレクタ出力



注>出力側を5V以上で使用される場合はNR36~NR40を取り外しまして、ボード外部(ユーザ側)でプルアップをして下さい。

9-2-4 MDL-04

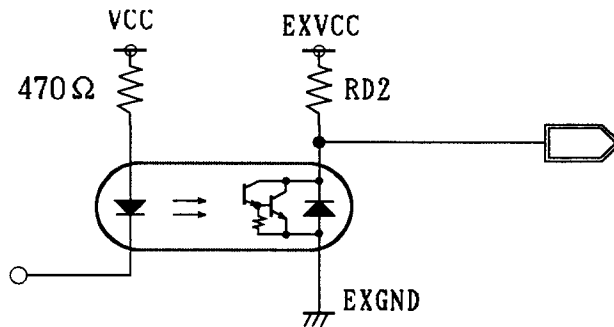
<40ビット入力>



- ※ RD1 : DC5V 入力用 = 680Ω (付属品)
- DC12V入力用 = 1.6KΩ (付属品)
- DC24V入力用 = 3.3KΩ (出荷時)

9-2-5 MDL-05

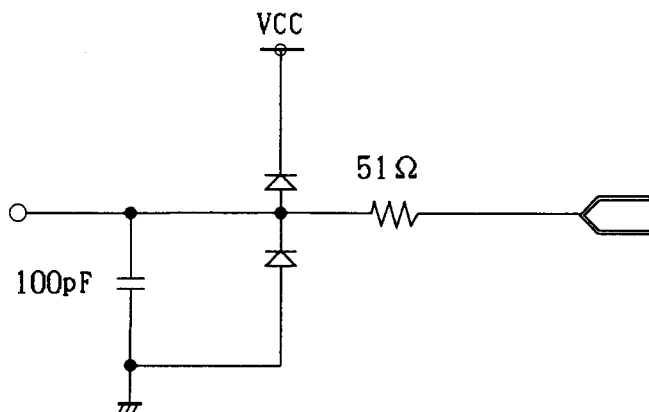
<40ビット出力>



- ※ RD2 : DC5V 出力用 = 4.7KΩ (付属品)
- DC12V出力用 = 12KΩ (付属品)
- DC24V出力用 = 24KΩ (出荷時)

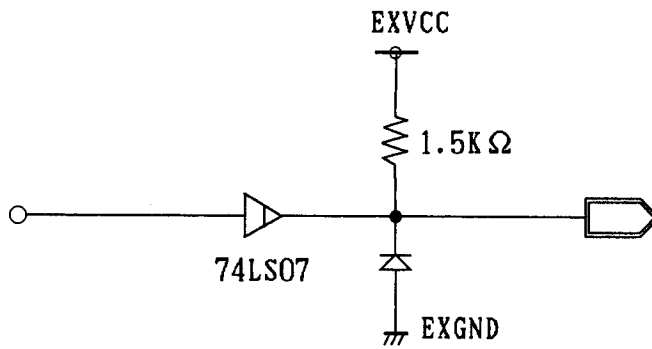
9-2-6 MDL-06

<40ビット入力>



9-2-7 MDL-07

<40ビット出力>



注：VCCとは、ボード内部の+5V（1次側）
GNDとは、ボード内部のGND（1次側）
EXVCCとは、外部からの電源（2次側）
EXGNDとは、外部からのGND（2次側）

9-3 I/Oモジュール電源

PVME-501はI/Oモジュールの種類によりフォトカブラの電源を内部、外部の選択が可能です。各PORT (バイト単位) ごとに設定を行います

*MDL-01

5Vタイプのみ設定が可能です。その他のタイプでは外部供給のみとなります。

*MDL-02

内部、外部の設定が可能です。

*MDL-03

内部電源のみとなりますので、JP7, 8, 9, 10, 11、及びJP12を全てショートさせて下さい。

*MDL-04

5Vタイプのみ設定が可能です。その他のタイプでは外部供給のみとなります。

*MDL-05

5Vタイプのみ設定が可能です。その他のタイプでは外部供給のみとなります。

*MDL-06

内部電源側に設定して下さい。

*MDL-07

5Vで使用する場合内部側に設定して下さい。

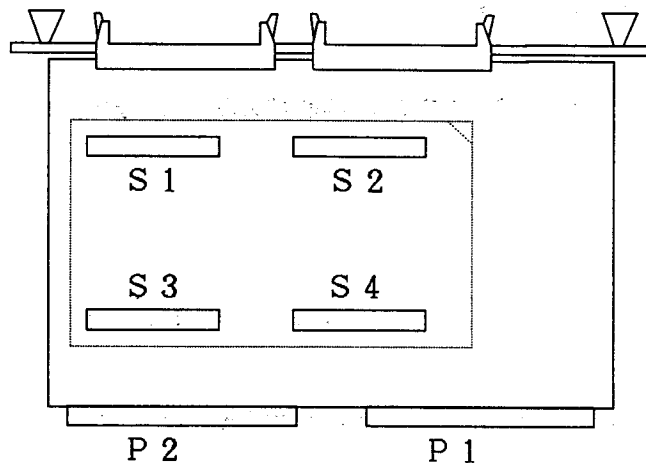
5V以上のご仕様の場合はEXVCCのみ外部側にしまして、付属の1.5K Ω のネットワーク抵抗を交換する事によりボード内部でプルアップができます。(注: MDL-03の出力側ではできません)

注意: JP12は絶縁性能を上げるためのジャンパーですので外部側の設定の際は必ず8個全部をオープンにして下さい。

また、内部側の設定では、8個全部をショートさせて下さい。(一部のPORTが内部側でも同じです。)

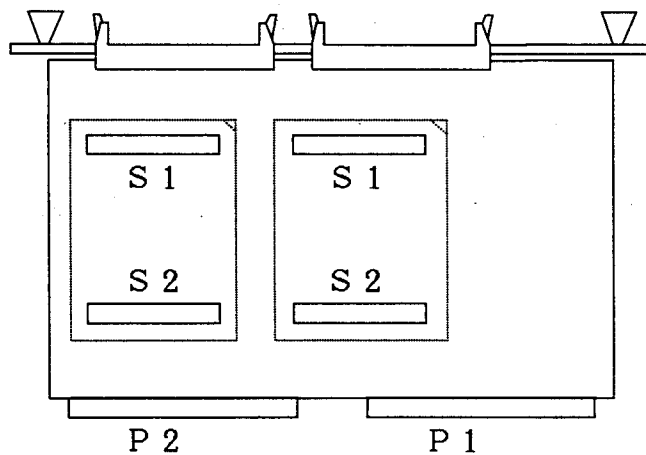
9-4 ピンアサイン

*MDL-01, 02, 03



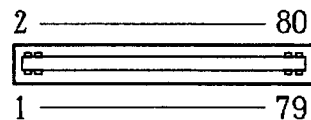
注意：S1, S2のVCC, GNDはジャンパー設定による電源ライン
S3, S4のVCC, GNDはベース・ボードの電源ライン

*MDL-04, 05, 06, 07, 99



注意：S1のVCC, GNDはジャンパー設定による電源ライン
S2のVCC, GNDはベース・ボードの電源ライン

S1, S2, S3, S4
コネクタ ピン配置



S1 (S1) コネクタ ピンアサイン表

PORT	PIN番号	信号名
A	1	AVCC
	2	AVCC
	3	AVCC
	4	AVCC
	5	AGND
	6	AGND
	7	PA31
	8	PA30
	9	PA29
	10	PA28
	11	PA27
	12	PA26
	13	PA25
	14	PA24
	15	AGND
	16	AGND
B	17	BVCC
	18	BVCC
	19	BVCC
	20	BVCC
	21	BGND
	22	BGND
	23	PB23
	24	PB22
	25	PB21
	26	PB20
	27	PB19
	28	PB18
	29	PB17
	30	PB16
	31	BGND
	32	BGND
C	33	CVCC
	34	CVCC
	35	CVCC
	36	CVCC
	37	CGND
	38	CGND
	39	PC15
	40	PC14

PORT	PIN番号	信号名
C	41	PC13
	42	PC12
	43	PC11
	44	PC10
	45	PC9
	46	PC8
	47	CGND
	48	CGND
D	49	DVCC
	50	DVCC
	51	DVCC
	52	DVCC
	53	DGND
	54	DGND
	55	PD7
	56	PD6
	57	PD5
	58	PD4
	59	PD3
	60	PD2
	61	PD1
	62	PD0
	63	DGND
	64	DGND
J	65	JVCC
	66	JVCC
	67	JVCC
	68	JVCC
	69	JGND
	70	JGND
	71	PJ7
	72	PJ6
	73	PJ5
	74	PJ4
	75	PJ3
	76	PJ2
	77	PJ1
	78	PJ0
	79	JGND
	80	JGND

S2 (S1) コネクタ ピンアサイン表

PORT	PIN番号	信号名
E	1	EVCC
	2	EVCC
	3	EVCC
	4	EVCC
	5	EGND
	6	EGND
	7	PE31
	8	PE30
	9	PE29
	10	PE28
	11	PE27
	12	PE26
	13	PE25
	14	PE24
	15	EGND
	16	EGND
F	17	FVCC
	18	FVCC
	19	FVCC
	20	FVCC
	21	FGND
	22	FGND
	23	PF23
	24	PF22
	25	PF21
	26	PF20
	27	PF19
	28	PF18
	29	PF17
	30	PF16
	31	FGND
	32	FGND
G	33	GVCC
	34	GVCC
	35	GVCC
	36	GVCC
	37	GGND
	38	GGND
	39	PG15
	40	PG14

PORT	PIN番号	信号名
G	41	PG13
	42	PG12
	43	PG11
	44	PG10
	45	PG9
	46	PG8
	47	GGND
	48	GGND
H	49	HVCC
	50	HVCC
	51	HVCC
	52	HVCC
	53	HGND
	54	HGND
	55	PH7
	56	PH6
	57	PH5
	58	PH4
	59	PH3
	60	PH2
	61	PH1
	62	PH0
	63	HGND
	64	HGND
K	65	KVCC
	66	KVCC
	67	KVCC
	68	KVCC
	69	KGND
	70	KGND
	71	PK7
	72	PK6
	73	PK5
	74	PK4
	75	PK3
	76	PK2
	77	PK1
	78	PK0
	79	KGND
	80	KGND

S3 (S2) コネクタ ピンアサイン表

PORT	PIN番号	信号名
A	1	VCC
	2	VCC
	3	VCC
	4	VCC
	5	GND
	6	GND
	7	PA31
	8	PA30
	9	PA29
	10	PA28
	11	PA27
	12	PA26
	13	PA25
	14	PA24
	15	GND
	16	GND
B	17	VCC
	18	VCC
	19	VCC
	20	VCC
	21	GND
	22	GND
	23	PB23
	24	PB22
	25	PB21
	26	PB20
	27	PB19
	28	PB18
	29	PB17
	30	PB16
	31	GND
	32	GND
C	33	VCC
	34	VCC
	35	VCC
	36	VCC
	37	GND
	38	GND
	39	PC15
	40	PC14

PORT	PIN番号	信号名
C	41	PC13
	42	PC12
	43	PC11
	44	PC10
	45	PC9
	46	PC8
	47	GND
	48	GND
D	49	VCC
	50	VCC
	51	VCC
	52	VCC
	53	GND
	54	GND
	55	PD7
	56	PD6
	57	PD5
	58	PD4
	59	PD3
	60	PD2
	61	PD1
	62	PD0
	63	GND
	64	GND
J	65	VCC
	66	VCC
	67	VCC
	68	VCC
	69	GND
	70	GND
	71	PJ7
	72	PJ6
	73	PJ5
	74	PJ4
	75	PJ3
	76	PJ2
	77	PJ1
	78	PJ0
	79	GND
	80	GND

S4 (S2) コネクタ ピンアサイン表

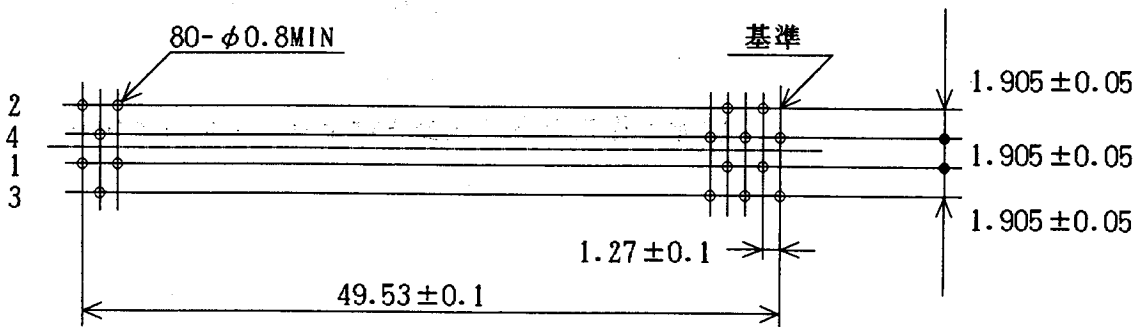
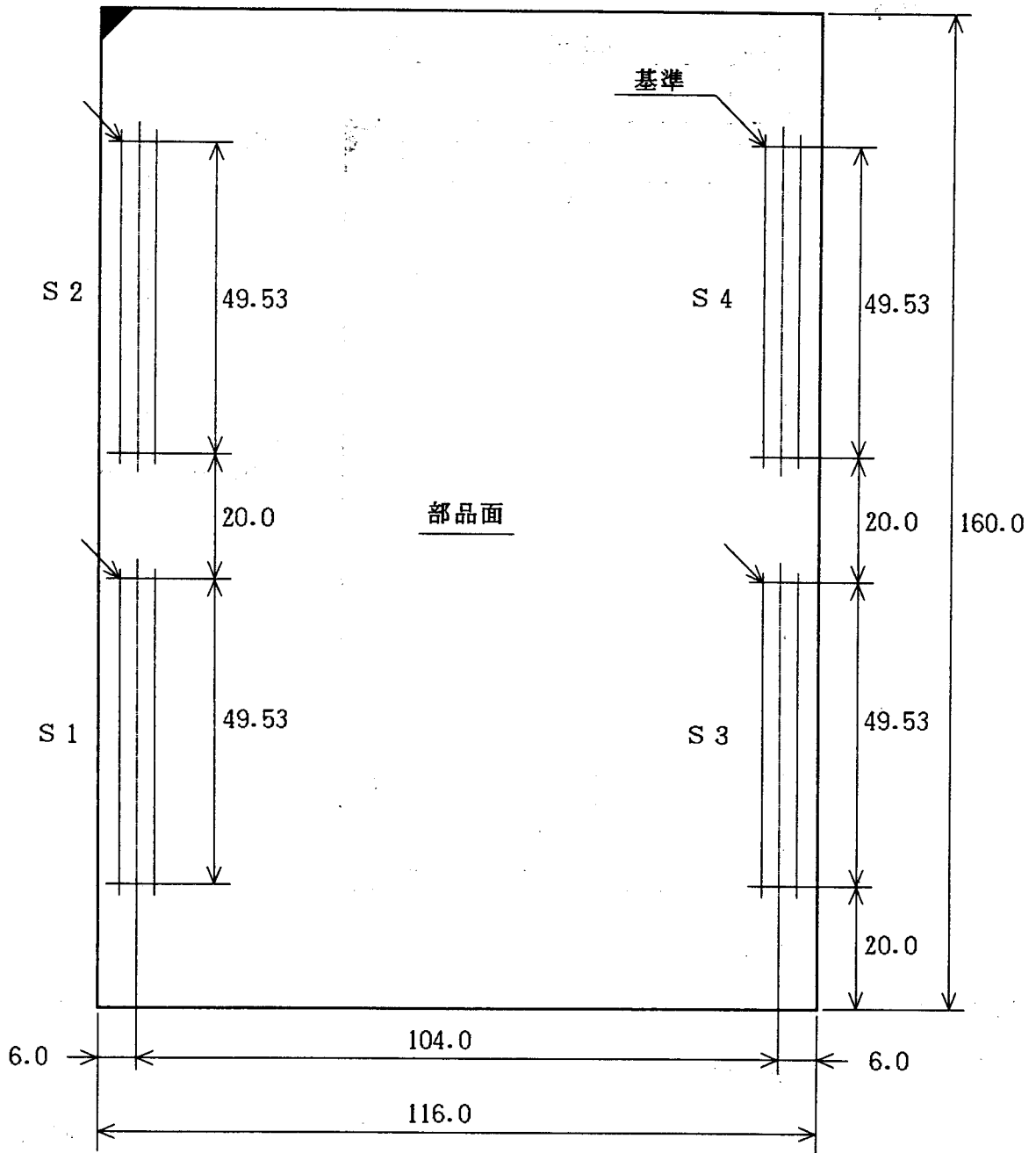
PORT	PIN番号	信号名
E	1	VCC
	2	VCC
	3	VCC
	4	VCC
	5	GND
	6	GND
	7	PE31
	8	PE30
	9	PE29
	10	PE28
	11	PE27
	12	PE26
	13	PE25
	14	PE24
	15	GND
	16	GND
F	17	VCC
	18	VCC
	19	VCC
	20	VCC
	21	GND
	22	GND
	23	PF23
	24	PF22
	25	PF21
	26	PF20
	27	PF19
	28	PF18
	29	PF17
	30	PF16
	31	GND
	32	GND
G	33	VCC
	34	VCC
	35	VCC
	36	VCC
	37	GND
	38	GND
	39	PG15
	40	PG14

PORT	PIN番号	信号名
G	41	PG13
	42	PG12
	43	PG11
	44	PG10
	45	PG9
	46	PG8
	47	GND
	48	GND
H	49	VCC
	50	VCC
	51	VCC
	52	VCC
	53	GND
	54	GND
	55	PH7
	56	PH6
	57	PH5
	58	PH4
	59	PH3
	60	PH2
	61	PH1
	62	PH0
	63	GND
	64	GND
K	65	VCC
	66	VCC
	67	VCC
	68	VCC
	69	GND
	70	GND
	71	PK7
	72	PK6
	73	PK5
	74	PK4
	75	PK3
	76	PK2
	77	PK1
	78	PK0
	79	GND
	80	GND

※ () 内の記号はMDL-04, 05, 06, 07, 09使用時のコネクタ番号です。

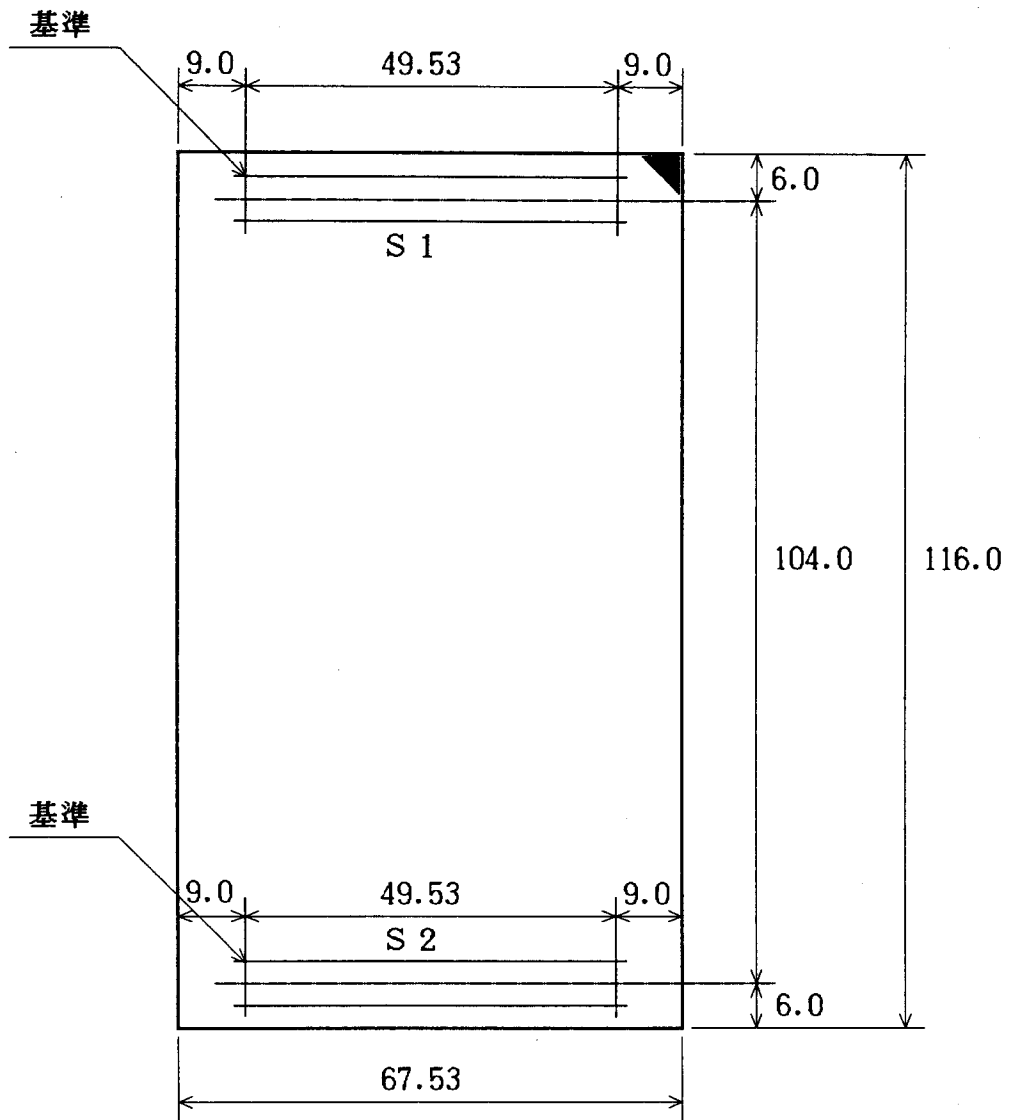
9-5 基板寸法及び外形図

*MDL-01, 02, 03



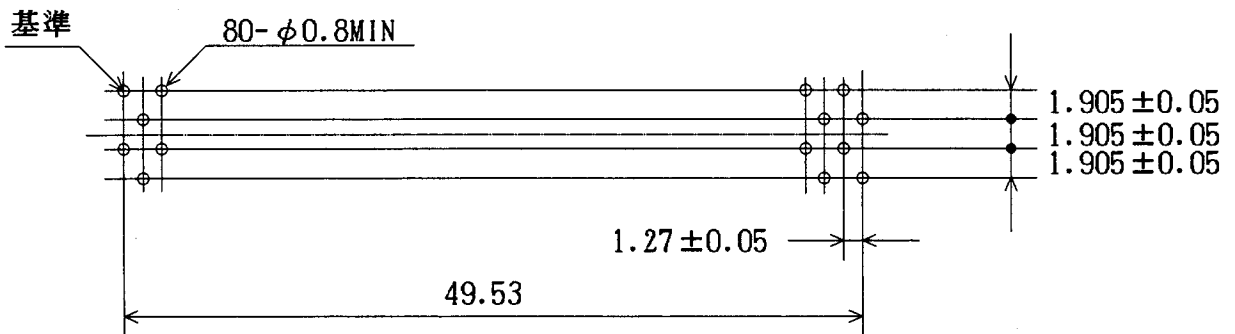
コネクタ型名: 8903-080-177S-A (KEL)

*MDL-04, 05, 06, 07



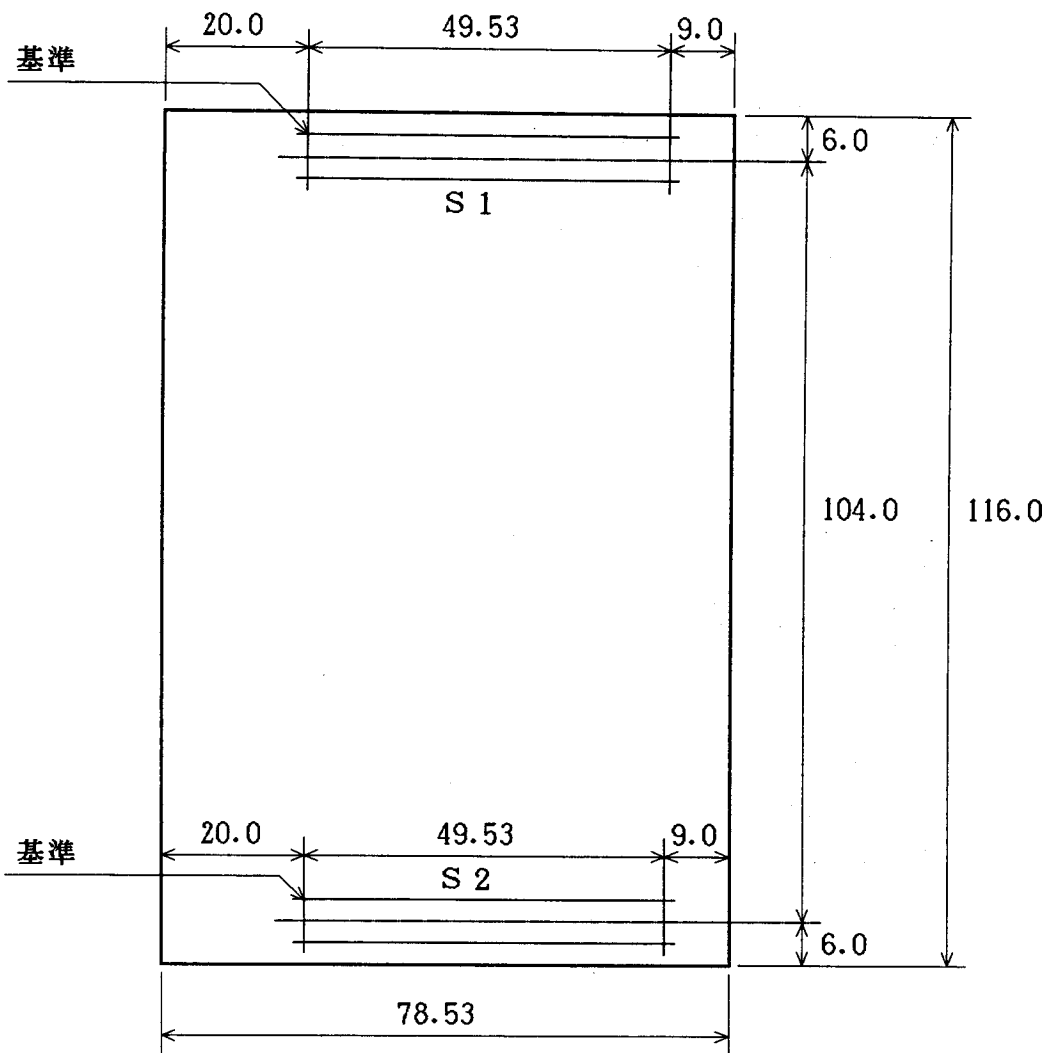
尺度 2 : 1

UNIT:mm



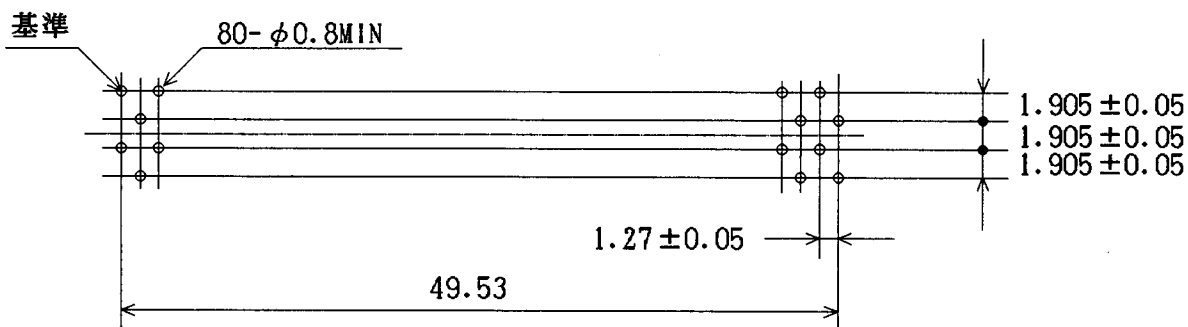
注記：指定なき寸法公差は±0.1mmとする。

*MDL-99



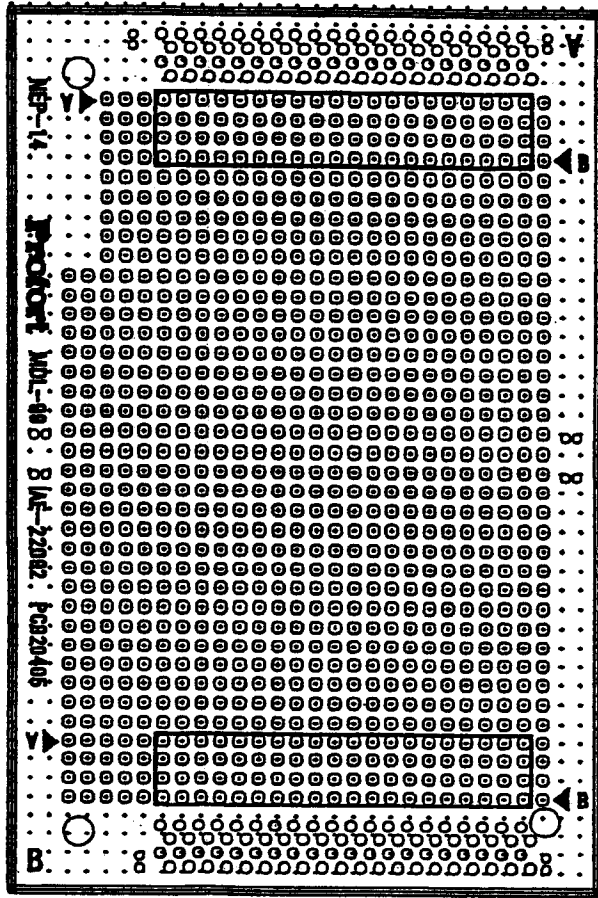
尺度 2 : 1

UNIT:mm



注記：指定なき寸法公差は±0.1mmとする。

*MDL-99外形図



枠内はコネクタからの配線用スルーホール

第 10 章 その他

10-1 保証について

添付の保証返信カードに御記入の上、御返送下さい。

本ボードの無償保証期間は、お買い求めの日から1年です。ただし、環境条件、操作方法、その他正常な使用方法で使用されるものに限ります。

下記に該当するものについては、無償保証期間であっても無償修理対象とはなりません。

- a. お客様の誤った使用方法、あるいは不注意によって生じた故障、損傷。
- b. 不当な改造、修理に帰すと認められる故障、損傷。
- c. 自然災害によって生じた故障、損傷。
- d. 保証書の御提示がない場合。

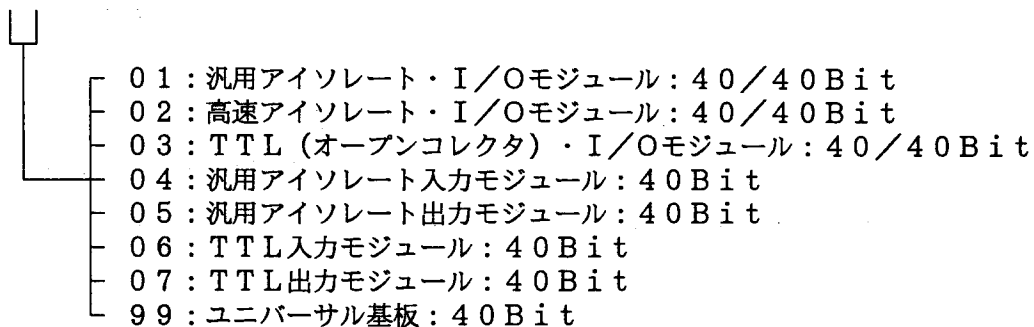
10-2 オーダーリング・インフォメーション

- PVME-501 ベース・ボード単体

PVME-501

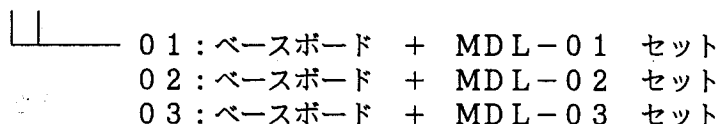
- I/O モジュール単体

MDL-△△



- PVME-501 ベースボード及びI/Oモジュール・セット

PVME-501/××



1993年09月 M501-05 (第五版)

- ・本マニュアルの内容については、予告なく変更修正する場合があります。
- ・本マニュアルに記載されている以外のご使用によって損害が発生した場合、当社では責任を負いかねますのでお取扱いには十分ご注意下さい。

インターニックス株式会社
八王子事業所
開発センター R&D 2課

〒192 東京都八王子市高倉町59-10
TEL 0426-48-5200
FAX 0426-48-5201

MDL-04 設定事項

MDL-04を使用する場合、入力電圧タイプを以下のように設定した後にご使用下さい。

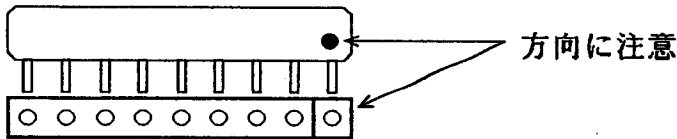
MDL-04は入力電圧をユーザー側でご使用のシステムに合わせて設定できる仕様になっています。電圧タイプとして、DC5V/12V/24Vを設定できるようネットワーク抵抗を付属部品としてお付けしています。(出荷時は、全ポート24Vに設定されています。)

ネットワーク抵抗を下記の表に従って設定して下さい。

	DC 5V タイプ	DC12V タイプ	DC24V タイプ
NR1~NR5	RMLS8J681	RMLS8J162	RMLS8J332

各ネットワーク抵抗は以下のポートに対応しています。

ネットワーク抵抗	ポート
NR1	A or E
NR2	B or F
NR3	C or G
NR4	D or H
NR5	J or K



※ ソケットにより基板シルクが見えにくいので下図を参考に取り付けて下さい。

ネットワーク抵抗配置図 (部品面)

