

# KEK/JAERI 大強度陽子加速器リニアック高周波源のデジタルフィードバックシステム

道園真一郎<sup>1</sup>、穴見昌三、山口誠哉  
 高エネルギー加速器研究機構  
 〒305-0801 茨城県つくば市大穂 1-1

## 概要

大強度陽子加速器施設の線型加速器では、大電流のビームを加速するために、高精度で高安定の加速電圧が求められている。高周波源ではこのような加速電圧を実現するために、空洞電圧の信号を高周波制御系に帰還させるフィードバック制御を行う。信号処理は、高周波信号を中間周波数に変換した後、自由度の高いデジタルシステムを用いる。統合計画線形加速器では、前半は 324MHz、後半は 972MHz の高周波が使用されるが、今回は、設計が進んでいる 324MHz 系のデジタルフィードバックシステムについて報告する。

## 1. はじめに

大強度陽子加速器施設の陽子線形加速器<sup>[1]</sup>では、前半に 324MHz のクライストロン 20 台 (RFQ、DTL、SDTL 用) が、後半に 972MHz のクライストロン 23 台 (ACS 用) が使用される予定である。各々の加速空洞の電界安定度としては位相誤差 1 度以下、振幅誤差 1% 以下を要求されている。加速ビームは、3GeV リングへの入射のためにチョップされたビーム (1.33MHz、56% duty) となっている。このビーム負荷による加速電界の安定性を見るために電界のサン

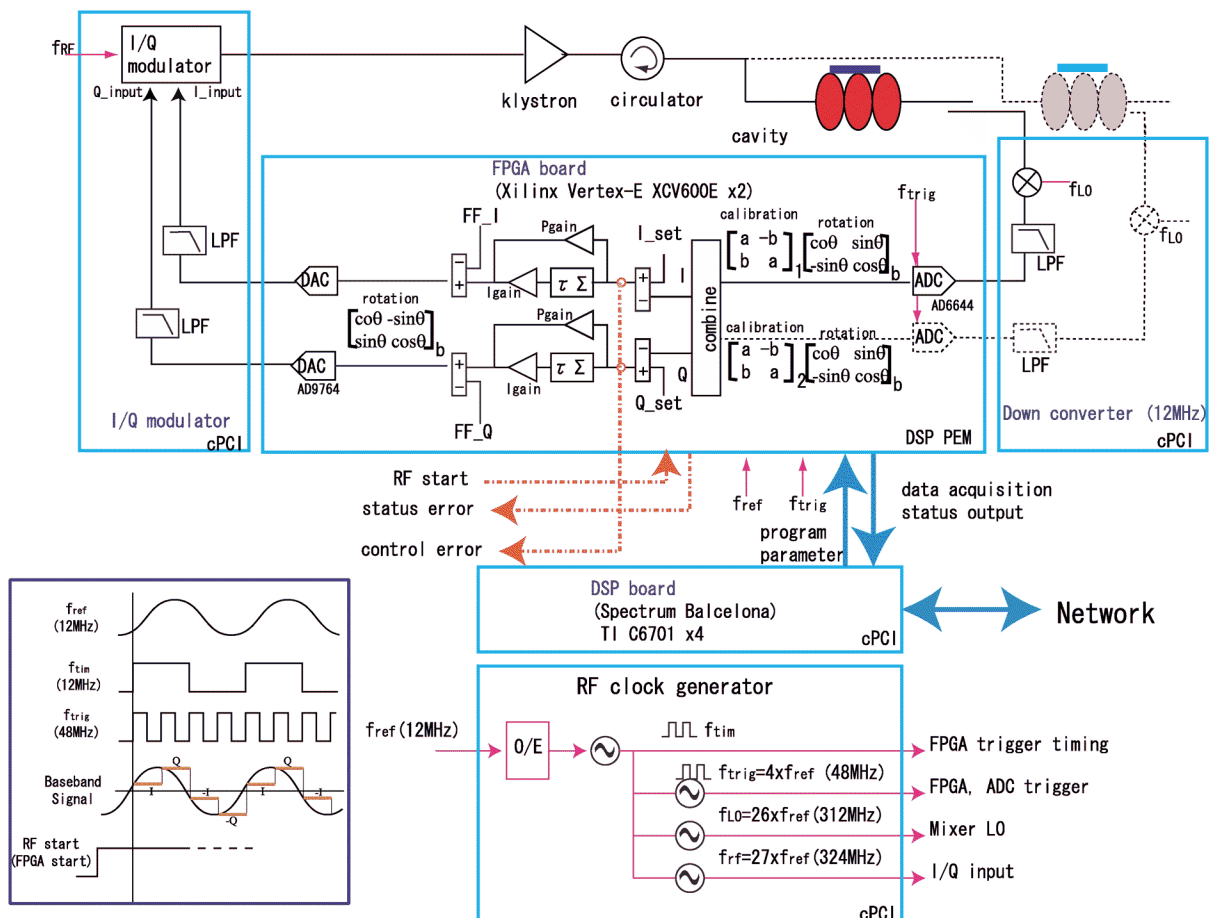


図 1 : 高周波デジタルフィードバックシステムの模式図

<sup>1</sup> E-mail: shinichiro.michizono@kek.jp

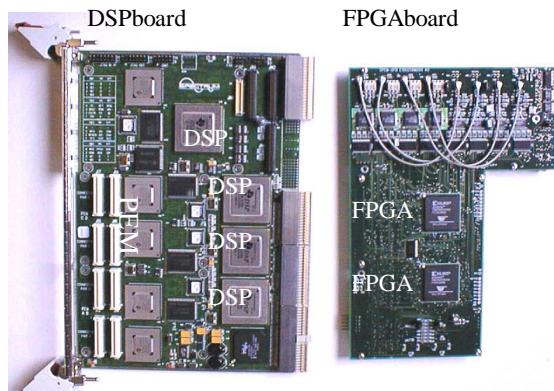


図2：DSP ボード(左)とFPGA ボード(右)。

プリングは48MHzで行う<sup>[2]</sup>。フィードバック (FB) 制御は、PI制御としている。アナログ・デジタル(ADC)変換、およびデジタル・アナログ変換(DAC)は、運転値が全振幅の1/4 (正負の表記で正の最大値の半分)にあるときに、要求仕様 (1%、1度以下) が量子化誤差の40倍程度となる14ビットのものとする。FBにはプログラム可能で高速なFPGA (Field Programmable Gate Array) を用いる。

## 2. フィードバック系のハードウェア

324MHz系高周波システムの模式図を図1に示す。クライストロン管体にコンパクトPCI(cPCI)ラックを置き、フィードバック系を中心とした高周波制御系を収納している。cPCIは開発時の暫定的なものであり、加速器全体制御の観点からVMEに変わりうるものである。基本12MHzを光伝送系から受け取り、O/E変換器を経て、タイミング信号(12MHz)、トリガー信号(48MHz)、LO(312MHz)、RF(324MHz)を作り出す。FPGAやADC、DACに使用する12MHzと48MHzの信号はcPCI内のユーザー割り当てされているコネクタを利用しDSPボードに伝送する。DSPボードは、Spectrum社製のBalcelona (cPCI、4個のTIC6701を搭載)を採用しており、DSPボード上のPEM (Processor Expansion Module)ポートを介してFPGAボード上に接続される。図2にDSPボード及びFPGAボードを示す。FPGAボードには、2個のFPGA(Xilinx社VirtexE)および4個のADC(AD6644)、DAC(AD9764)が搭載されている。

RF信号(324MHz)は、I/Qモジュレータ(AD8345)で変調され、クライストロンで増幅されて空洞を励振する。空洞からの高周波信号は、LO(312MHz)と共にcPCIボード上のアクティブミキサ(AD8343)に入力され中間周波数12MHzに変換される。この中間周波数信号をADCに入力し、デジタルデータをFPGAに送り込む。

FPGAでは、ADCからの信号をI/Q信号に変換し、空洞カップラでの結合度や搬送ケーブルでの位相(ループ位相)回転を補正するための校正演算を行う。空洞の設定電界強度、位相によって定まるI/Qの設定値との偏差に対してI成分、Q成分毎に比例(P)及び積分(I)制御を行い、さらに、ビーム位相と空洞

位相の関係を校正するための回転演算を行った後、DACを通しI/Qモジュレータに出力する。

DSPボードは、FPGAプログラム、I/Q設定値、FBパラメータ等のFPGAへの書き込み、ホストOSとのデータ通信、FB系診断、高周波信号エラーの統計処理等の全体管理、フィードフォワード信号の生成、更新等を行う。

## 3. 高周波フィードバック系の伝達関数

空洞をLCRの等価回路で考えたときに空洞電圧及び等価回路電流(高周波源)は、以下の関係となる。

$$\ddot{V} + \frac{\omega_0}{Q_I} \dot{V} + \omega_0^2 V = \frac{\omega_0}{2} \left( \frac{R}{Q} \right) i_{rf}$$

ここで、 $\omega_0$ は空洞の共振周波数、 $V$ は空洞電圧、 $i_{rf}$ は空洞側から見た高周波源の等価電流である。

搬送波(324MHz)上で空洞の変調電圧と電流との関係は状態関数を用いると以下のようになる<sup>[3]</sup>。

$$\frac{d}{dt} \begin{bmatrix} V_I \\ V_Q \end{bmatrix} = \begin{bmatrix} -\omega_{1/2} & -\Delta\omega \\ \Delta\omega & -\omega_{1/2} \end{bmatrix} \begin{bmatrix} V_I \\ V_Q \end{bmatrix} + \frac{\omega_0}{2} \frac{R}{Q} \begin{bmatrix} I_I \\ I_Q \end{bmatrix}$$

$$\omega_{1/2} = \frac{\omega_0}{Q_I}$$

$$\Delta\omega = \omega_{cavity} - \omega_{rf}$$

ここで、 $V_I$ 、 $V_Q$ は空洞電圧のI/Q成分、 $\omega_{1/2}$ は空洞の共振半値幅、 $\Delta\omega$ は空洞の離調周波数、 $I_I$ と $I_Q$ は空洞側から見た高周波源等価電流のI/Q成分である。

また、PI制御を行うときの制御器の伝達関数は

$$SYS(s) = K_p \left( 1 + \frac{K_i}{s} \right)$$

と書ける。 $K_p$ は比例制御の増幅率。 $K_i$ は積分制御の定数である。

クライストロンや、その他の増幅器は搬送波上では1MHz程度の遮断周波数をもつ低域通過フィルタと扱える。空洞の共振半値幅(150kHz程度)と比較して大きいので、システム全体の伝達関数は、上記の空洞の応答、および制御器の伝達関数に系の時間遅れを合わせたもので記述することができる。FPGA系の時間遅れはA/D変換器が15ns、FPGAが150ns、D/A変換器が30ns程度であり、ケーブルを含め他の電気回路系の遅れは0.5μ秒程度と想定している。

図3に、開回路でのボード線図を示す。ここでは、時間遅れを1μ秒、2μ秒、また、 $K_i$ を0、0.002x48x10<sup>6</sup>、0.02x48x10<sup>6</sup>としたときのものを示している。

$K_i$ が大きくなると低周波でのゲインが大きくなり、低周波のエラーが低くなることがわかる。ただし、 $K_i$ が大きくなるとゲイン余裕が小さくなり、またゲイン交差周波数も低くなるので、システムの応答性が悪くなることを注意する必要がある。

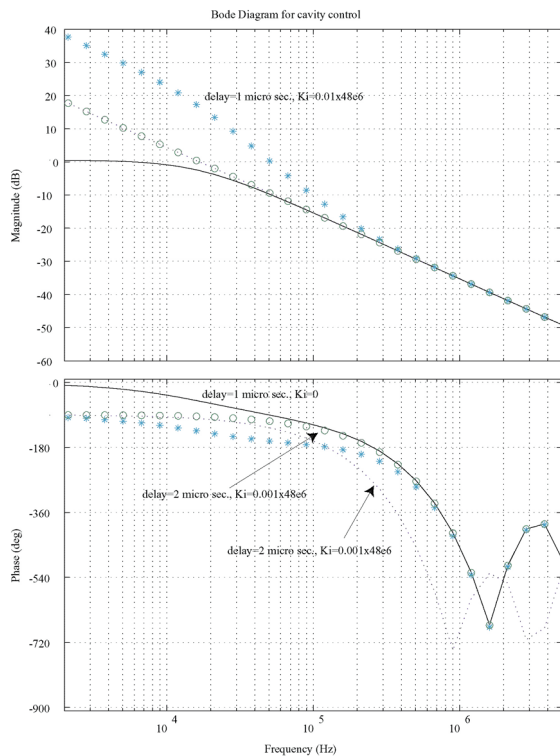


図 3 : 空洞制御系のボーデ線図

時間遅れが  $1\mu$  秒、 $K_i$  が  $0.002 \times 48 \times 10^6$  のときのゲイン余裕は 24dB ( $G=16$ ) である。安定な FB ゲインはこのゲイン余裕の半分程度の値のときであり、例えば、 $K_p=10$  の場合の計算結果を図 4 に示す。計算では I 成分の設定値を  $50\mu$  秒で 0 から増加させ 1024 とし、Q 成分を 0 とした。積分制御は立ち上がりから一定値に至るまでの誤差を小さくすることに有効であることが確認できた。計算では、安定性を見るために、I、Q 成分に大きき 100 のステップ、ランプ、及びサイン波形を外乱として入力している。このとき、I 成分および Q 成分の制御誤差は 10 程度で  $K_p$

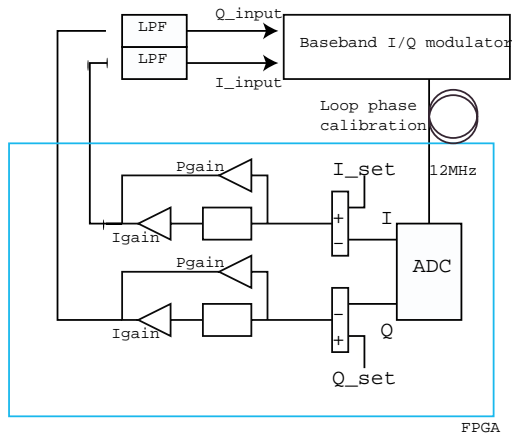


図 5 : 空洞を模擬した FB 系試験の模式図

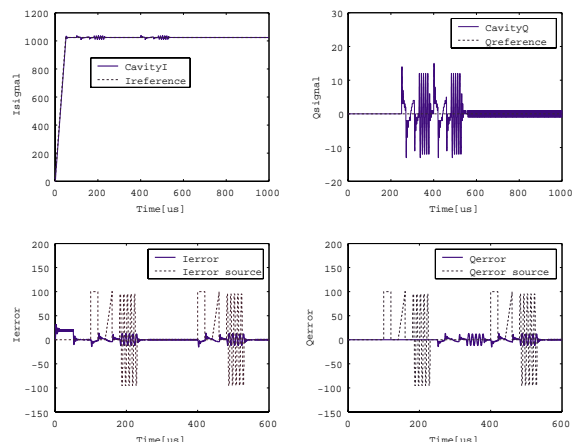


図 4 : 空洞制御の計算結果

の分だけ小さくなっていることがわかる。このような外乱に対しては比例制御により誤差が抑えられることがわかる。

## 4. おわりに

大強度陽子加速器施設の線型加速器の高周波源では FPGA を使ったデジタルフィードバックシステムが採用される。FPGA は DSP ボードから制御され、ADC/FPGA/DAC をあわせた遅れは 200ns 程度であり、他のループ内遅れを含んでも  $1\mu$  秒程度である。積分ゲイン係数( $K_i$ )が 0.002 程度の場合の系のゲイン余裕は 23 dB であり、比例ゲインが 10 の場合の制御エラーは、設定値の 10% 程度の外乱に対しても安定性 1% 程度を確保できる等の計算結果が得られた。

FPGA による高周波制御を評価するために 12bitA/D 変換器、FPGA、12bitD/A 変換器からなる GVA270(GV&Associates 製)を使って、中間周波数 (12MHz) 上での試験準備が進んでいる。試験では、低域通過フィルタ (LPF) を FPGA と中間周波数の I/Q 変調器の間に挿入する (図 5)。離調のない共振系では、I/Q 成分は独立な系として取り扱うことができるため、I 側、Q 側に LPF を挿入することで空洞を模擬することができる。この手法では、中間周波数のみを使い実際のクライストロン、空洞を使用することなく制御器を試験することができるため、制御系の評価に適している。

## 参考文献

- [1] URL:<http://www.kek.jp>
- [2] Shozo Anami, et al., "DIGITAL FEEDBACK FOR THE RF SOURCE OF THE JHF 60-MEV LINAC", Proceedings of the 25<sup>th</sup> Linear Accelerator Meeting in Japan.
- [3] T.Schilcher, "Vector Sum Control of Pulsed Accelerating Fields in Lorenz Force Detuned Superconducting Cavities", August 1998, TESLA 98-20.