

# J-PARC Main Ring 高周波システムの Machine Protection System 高速化

## THE SPEEDUP FOR THE MACHINE PROTECTION SYSTEM ON THE RF ACCELERATING SYSTEM IN J-PARC MAIN RING

古澤将司<sup>\*A)</sup>、大森千広<sup>A)</sup>、杉山泰之<sup>A)</sup>、長谷川豪志<sup>A)</sup>、原圭吾<sup>A)</sup>、吉井正人<sup>A)</sup>

島田太平<sup>B)</sup>、田村文彦<sup>B)</sup>、山本昌亘<sup>B)</sup>

Furusawa Masashi<sup>\*A)</sup>, Chihiro Ohmori<sup>A)</sup>, Yasuyuki Sugiyama<sup>A)</sup>, Katsushi Hasegawa<sup>A)</sup>

Keigo Hara<sup>A)</sup>, Masahito Yoshii<sup>A)</sup>

Taihei Shimada<sup>B)</sup>, Fumihiko Tamura<sup>B)</sup>, Masanobu Yamamoto<sup>B)</sup>

<sup>A)</sup> High Energy Accelerator Research Organization, KEK

<sup>B)</sup> Japan Atomic Energy Agency, JAEA

### Abstract

The Machine Protection System (MPS) of the Japan Proton Accelerator Research Complex (J-PARC) is consolidated to abort a high intensity proton beam pulse to prevent unnecessary radio activation of accelerator components. By the improvements of the first extraction (FX) device of the Main Ring (MR), it was recently able to abort the beam pulse immediately in the FX when the MPS receives a failure signal of a device constituting the accelerator. Therefore, it is necessary to speed up the MPS of each device consisting MR synchrotron. The RF System of J-PARC is controlled by the ladder programs written in the Programmable Logic Controller (PLC). And a part of these works as the MPS. When the system detects any failure signals, the corresponding system sequentially stops, and the failure information is transferred to the main MPS system in the accelerator control system. In the case of the RF system, it was effective shortening the program scan time by model update and optimizing the ladder program for the speed-up. We described the outlines of the MPS of the RF system of J-PARC MR and how to speed up the system.

## 1. 序論

大強度陽子加速施設 J-PARC の加速器の Machine Protection System (MPS) は、加速器構成機器の保護に加え、加速器の不要な放射化を防止するため、各機器の異常を受信してビームの停止、またはアポートラインに取り出す機能を担う。MR シンクロトロンでは近年のビーム取り出し機器改良により、機器異常検出時により速いタイミングで周回ビームのアポートが可能になった。このため Main Ring (MR)各構成機器では MPS の高速化が求められている。

J-PARC の MR 高周波加速 (RF) システムは、各電源装置に設置された Programmable Logic Controller (PLC) に記載されたラダープログラムにより制御される。また、その制御プログラムの一部が MPS として機能している。RF システム各機器で異常を検出した場合、集約情報が上位の制御グループ MPS に送信される。RF では、運用されているラダープログラムの容量削減や使用 PLC 機種最適化等でプログラムスキャン時間を短縮することで、従来と比較して MPS を高速化できる。これにより RF の機器異常信号が速いタイミングでのビーム取り出しに役立つことが期待される。本紙では、J-PARC、RF 装置の MPS の概要、及び昨年度から今年度にかけて行われた PLC 機種選定と交換作業、ラダープログラムの改良による MPS 高速化の成果について報告する。

## 2. 概要

### 2.1 高周波システムの構成と MPS

J-PARC、MR 高周波システムでは、加速空洞 1 台につき 4 つのギャップを有し、1 ギャップあたり約 15kV の高周波電圧を発生させ 1 台で 60kV の高周波加速電圧を印加できる。ビーム加速に必要な周波数と振幅及び位相は Low Level RF (LLRF) で制御され、その出力信号は、駆動段増幅器 (半導体増幅器) と終段増幅器 (電子管増幅器) で増幅される。MR では、加速空洞が 9 台 (7 台が加速システム、2 台が二次高調波システム) 使用され、大強度陽子ビームの安定加速を実現している。

J-PARC リング RF システムの内、終段増幅器、駆動段増幅器、陽極電源は PLC により制御され、異常検出による自動停止が MPS として機能している。各機器で異常を検出した場合、集約情報を上位の制御グループ MPS システムに送信し、ビーム停止、ビームアポート等の割り込み動作のための信号として利用する。Figure 1、Table 1 に高周波システム及び MPS の構成を記載した。

他の加速器構成機器でも異常検出による情報送信が MPS として機能する。つまり、加速器全体の MPS は各機器の MPS 信号で構成される。各機器での異常検出後に、利用不可能なビームは機器の任意の運動量で速やかにアポートラインへ取り出され、廃棄される。

将来のビーム強度増加計画に伴い、各加速器構成機器の MPS 高速化が求められている。高周波システムにおいては、PLC プログラムのスキャンタイムの短縮により、MPS の高速化を期待できる。

# masashi.furusawa@kek.jp

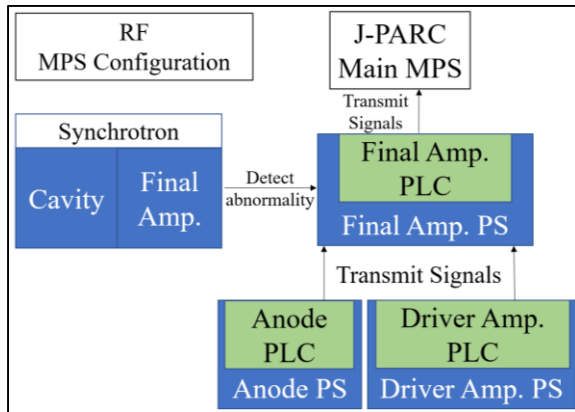


Figure 1: MPS configuration of J-PARC RF.

Table 1: Monitoring Equipment by MPS

	Monitoring
Final Amp. PLC	Cavity Other PLC signals Final Amp.
Driver Amp. PLC	Driver Amp.
Anode PS PLC	Anode PS Inverter unit

## 2.2 Programmable Logic Controller (PLC)

PLC とは、プログラムによりリレー回路を再現し、シーケンス制御を実行する装置である。運転や操作の省力化、自動化、無人化の役割を果たす。PLC は、各モジュールを接続するベースモジュール、各モジュールへ電力を供給する電源モジュール、機器へ信号の送受信を行う入力、出力モジュール（それぞれアナログ、デジタル版あり）、動作のためのプログラムを書き込み、他のモジュールに指示を送る CPU モジュールで構成される。

CPU モジュール内部にリレー回路を記載する際、ラダープログラムが用いられる。ラダープログラムとは、入力命令と出力命令を対応させた縦書きシーケンス図を梯子 (Ladder) 図として記載するプログラムである。実装されたプログラムは、梯子の上から下へ順に処理され、最下段へ到達の後再び最上段へ戻り、下方に向かって同様の処理がされる。最上段から再度最上段まで戻る速度をスキャンタイムと呼び、この時間は使用される命令の数等の内部のプログラム構成により決定される。

現在、陽極、終段増幅器、駆動段増幅器電源にそれぞれ別種の、計 3 種の CPU モジュールが使用されている。現在使用されている機種は装置の老朽化、メーカー側のサービス停止等の理由より継続使用することが困難であり、また新機種はスキャンタイムに関する各種パラメータが一新され、スキャンタイムの短縮による MPS の高速化を期待できる。このため現使用 CPU の新機種への換装が求められている。

J-PARC の高周波システムでは、PLC は横河電機の FA-M3 シリーズが使用されている。終段増幅器電源にて現使用中の PLC を Fig. 2 に図示した。



Figure 2: PLC (YOKOGAWA FA-M3).

## 2.3 CPU 新機種への換装

先述の MPS 高速化のために、旧機種から新機種へ CPU モジュールの換装作業を行い、旧新機種のスキャンタイムを測定、比較した。

CPU 換装作業について、現使用機種と後継機種は Table 2 に記載した。CPU 換装作業に関して、これまでで使用されていたラダープログラムが正常動作するか、また新機種と旧機種の混在の問題の発生が懸念事項となり、それらの動作確認も並行した。スキャンタイムの測定は先に記載した換装作業の過程で実施し、CPU 内部の特殊レジスタをプログラム編集ソフトである Widefield3 にて実施した。

本作業にて測定した値を実測値として、各命令の処理時間により得られた理論値と比較し、評価を行った[1]。各々の PLC のスキャンタイム理論値は、下記の (1)式を用いて計算した [2, 3]。

Table 2: PLC-CPU Using Currently and Subsequently

CPU	Currently	Subsequently
Final Amp.	F3SP53-4S	F3SP71-4S
Driver Amp.	F3SP21-0N	F3SP22-0S
Anode PS	F3SP58-6S	F3SP71-4S

$$T_s = T_c + T_a + \sum_i T_i \cdot C_i \quad (1)$$

$T_s$ : PLC 全体のスキャンタイム

$T_c$ : PLC、CPU の種類毎の共通処理時間

$T_a$ : 機器接続による周辺処理時間

$T_i$ : 命令  $i$  の 1 つ当たりの処理時間

$C_i$ : 命令  $i$  の数

$\sum T_i \cdot C_i$ : ラダープログラムの処理時間

## 2.4 D レジスタから F レジスタへの変換について

データレジスタ (D レジスタ) とは、ラダープログラム中のデータ処理等で使用される、16bit 数値データ (-32768~32767) を格納するデバイスである。また、後継機種である F3SP71-4S および F3SP76-7S にて実装されたキャッシュレジスタ (F レジスタ) は、停電保持機能を持たない D レジスタの機能を持つ。多数データの連続的な書き込みが行われる部分にて、D レジスタの代わりに F レジスタに使用することでスキャンタイムを短縮できる[4]。

以上より、D レジスタ、F レジスタに定数を書き込むラダープログラムを用いて、個数別に D レジスタ、F レジスタ使用時のスキャンタイムを比較した。その後 RF 終段増幅器電源ラダープログラムの D レジスタを F レジスタへ変換した際のスキャンタイム変化について調査した。

## 2.5 READ 命令のモジュール毎統合について

READ 命令とは、AD 変換入力モジュールに格納されたデータを D レジスタ等に読み出すために使用されるラダー命令である。高周波システムでは終段増幅器電源ラダープログラムにて使用されている。従来は AD 変換モジュール内のデータを個別で読出していたが、これらをモジュール毎に一度に読み出すことでスキャンタイムの短縮を期待できる。

以上より Fig. 3 に記載した READ 命令により AD 変換入力モジュールのデータの個別読出を繰り返すプログラム (以降 TYPE-A とする) と、Fig. 4 に記載した READ 命令によりデータのモジュール毎一括読出を繰り返すプログラム (以降 TYPE-B とする) を使用し、任意の数の READ 命令による個別読出と一括読出のスキャンタイムを比較した、その後 READ 命令が使用される終段増幅器電源ラダープログラムにて、モジュール毎の READ 命令統合によるスキャンタイムの変化について調査した。

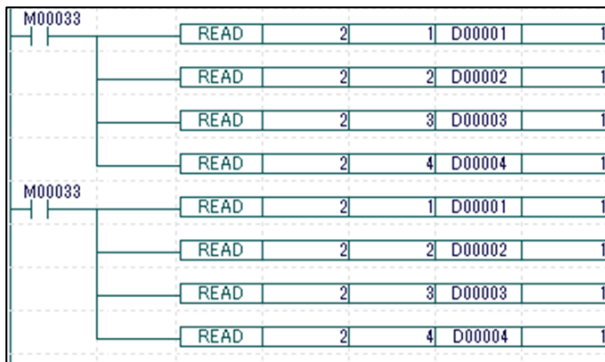


Figure 3: The TYPE-A ladder program.

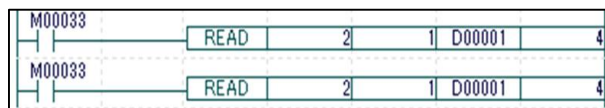


Figure 4: The TYPE-B ladder program.

## 3. 結果と考察

### 3.1 機種換装によるスキャンタイム短縮について

2.3 の Table 2 に記載の後継機種の動作確認について、ラダープログラム内の使用機器設定を変更後、後継機種で正常動作を確認した。また、現使用機種と後継機種が混在でも正常動作を確認した。2.3 (1) 式を用いて得られた各々の CPU モジュールのスキャンタイム理論値に関するパラメータを Table 3 に記載した。

Tc: PLC の CPU モジュール毎に固有の共通処理時間である。いずれも換装による CPU 機能の向上により現使用機種と後継機種の比較で 1/3 程度に短縮された。

Ta: PLC の CPU モジュールとその他のモジュールとの接続によって発生する周辺処理時間である。厳密に記載すると、周辺処理はラダープログラムと並行して処理される部分と、他の部分はプログラムの処理とは別で独立した処理がなされる部分の 2 種に分類できる。Table 3 では、独立して試行される周辺処理としてスキャンタイムの計算に用いた時間を記載した。

$\Sigma Ti \cdot Ci$ : ラダープログラムの処理時間である。Table 3 では PLC 起動より十分に時間経過し、定常状態となった際に予想されるスキャンタイムを記載した。現使用機種と比較して、後継機種は命令処理時間  $Ti$  が多数種類において短縮されるため、Table 3 に記載のようにプログラム全体の処理時間が短縮されたと考察した。

以上のパラメータを合計して得られたスキャンタイム理論値  $Ts$  により、実測値を評価した。

先に記載した各ラダープログラムのスキャンタイム計算結果、及び換装作業中に測定した定常状態でのスキャンタイムを Table 4 に示した。終段電源増幅器で使用されるプログラムについては、3.2、3.3 での使用予定の、ラダープログラムの処理時間  $\Sigma Ti \cdot Ci$  も併記した。Table 4 より、後継機ではスキャンタイムが高速化されたこと、及び理論値と実測値は同程度の値だと確認できた。また終段増幅器電源ラダープログラム処理時間  $\Sigma Ti \cdot Ci$  がスキャンタイム中で比較的大きな割合を占めており、律速となっていることが判明した。これは終段増幅器電源のラダープログラム容量が他の機器と比較して大きい事、及び AD 変換モジュールとの接続が原因だと考えられる。よって、RF システムのさらなる MPS 高速化のためには、終段増幅器のプログラム改良が必要であると判明した。

Table 3: The Calculated Values of the PLC Scan-time

Unit: $\mu s$		Tc	Ta	$\Sigma Ti \cdot Ci$	Ts
Final Amp.	F3SP53-4S	200	72	1213	1485
	F3SP71-4S	65	25	735	825
Driver Amp.	F3SP21-0N	500	56	1152	1708
	F3SP22-0S	200	24	536	760
Anode PS	F3SP58-6S	200	36	145	381
	F3SP71-4S	65	25	91	181

Table 4: The Calculated and Measured Values of the PLC Scan-time

Unit: $\mu s$	Currently		Subsequently	
	C.V.	M.V.	C.V.	M.V.
Final Amp.	F3SP53-4S		F3SP71-4S	
	1485	1500	825	1000
Final Amp. $\Sigma Ti \cdot Ci$	F3SP53-4S		F3SP76-7S※	
	1213	1220	735	850
Driver Amp.	F3SP21-0N		F3SP22-0S	
	1708	2000	760	500
Anode PS	F3SP58-6S		F3SP71-4S	
	381	400	181	100

※スキャンタイム測定時、一部 F3SP71-4S の代用に、プログラム容量のみ違う CPU 機種 F3SP76-7S を使用した。

### 3.2 D レジスタから F レジスタへの置換について

2.4 に記載したプログラムを用いて、任意の数の D レジスタ使用プログラム、F レジスタ使用プログラムスキャンタイム  $\Sigma Ti \cdot Ci$  を比較し、結果を Fig. 5 に記載した。CPU は、3.1 で記載した F3SP76-7S を使用した。

Figure 5 より、D レジスタ及び F レジスタを 3000 個以上使用した際にスキャンタイム変化が見られる。RF 終段増幅器電源ラダープログラムで使用される D レジスタは 293 個であるため、D レジスタ全てを F レジスタに置換しても、スキャンタイムの変化は見られないと考えられる。

Table 5 に終段増幅器電源ラダープログラム内 D レジスタから F レジスタ置換前後のスキャンタイム測定結果を

記載した。Figure 5 の結果と同様に、スキャンタイムの変化は確認できなかった。

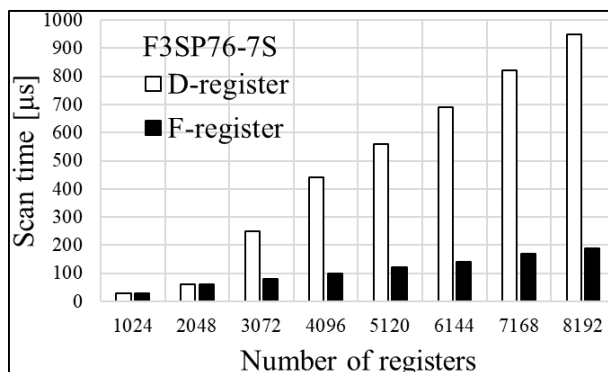


Figure 5: The comparison between D-registers and F-registers.

Table 5: The Comparison between D-registers and F-registers in the Final Amplifier Ladder Program

Unit: μs	Using D register	Using F register
F3SP76-7S	850	850

### 3.3 READ 命令統合によるスキャンタイム短縮について

Figure 3, Fig. 4 に記載のラダープログラム Type-A、Type-B を用いた READ 命令のモジュール毎統合によるスキャンタイム  $\Sigma Ti \cdot Ci$  の変化を 3.1 に記載の F3SP76-7S を用いて調査した。結果について Fig. 6 に記載した。新機種では READ 命令統合により、該当部分のスキャンタイムが  $50\mu s/20$  個程度で短縮されると判明した。終段増幅器電源ラダープログラムでは READ 命令が AD 変換モジュール 3 機から各 8 個、温度モジュール 3 機から各 4 個、計 36 個使用されているため、モジュール毎の READ 命令統合により  $100\mu s$  分の短縮が期待される。

終段増幅器電源ラダープログラムにて使用される READ 命令を統合し、統合前の終段増幅器電源プログラムとスキャンタイムの比較を行った。結果を Table 6 に記載した。READ 命令統合によりスキャンタイムの短縮が確認できた。また、短縮された時間は  $110\mu s$  である。

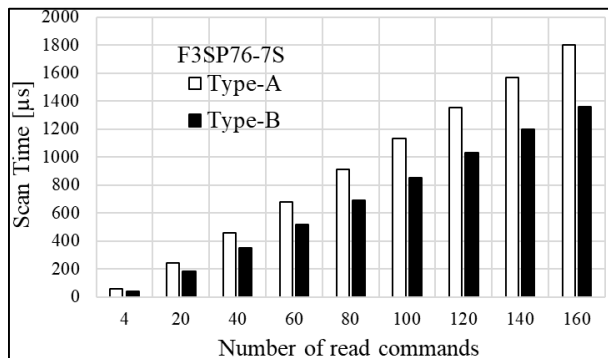


Figure 6: The comparison between Type-A and Type-B.

Table 6: The Comparison between Pre-existing and New Program in the Final Amplifier

Unit: μs	Pre-existing (Separate READ)	New (Unify READ)
F3SP76-7S	850	740

### 3.4 作業実施によるスキャンタイム変化率

3.1 に記載の PLC、CPU 機種換装により、終段増幅器、駆動段増幅器、陽極電源制御プログラムのスキャンタイムが短縮された。また 3.3 に記載のラダープログラムの編集、改良作業により終段増幅器電源のプログラムスキャンタイムが短縮された。作業実施前後のプログラムスキャンタイム変化のまとめについて Table 7 に記載した。今回実施の作業によって、PLC による機器異常の検出時間は下記全ての伝達ルートで 40~60%に短縮され、伝達速度は実質的に 2 倍となった。

Table 7: The Summary of the Change in the RF MPS Scan-time

The Signal-Transition Route	Before [ms]	After [ms]	Ratio [%]
Cavity⇒Final Amp.	1.5	0.9	60
Anode PS⇒Final Amp.	1.9	1.0	53
Driver Amp. ⇒Final Amp.	3.5	1.4	40

## 4. まとめ

本学会では、J-PARC 高周波システムの MPS の概要と構成について記載した。また、J-PARC の陽子ビーム大強度化の際に必要とされる MPS の高速化を目的とした PLC の機種交換とプログラム改良、またその前後でのプログラムスキャンタイム測定を実施し、作業内容と成果について記載した。結果として RF で使用される各機器のプログラムスキャンタイムを 1/2 程度に短縮し、RF システムの MPS の高速化が実現できることが判明した。

今後の展望について、シンクロトロン RF Gr.としては高周波加速システム全号機の PLC 換装作業、及び改良プログラムの実装を進める。また J-PARC、MR 全体としても各構成機器の進捗状況について統括し、ビーム大強度化のための MPS 高速化計画を進める予定である。

## 参考文献

- [1] 横河電機株式会社、“シーケンス CPU 説明書 命令編” 付録 3、ラダーシーケンス命令一覧。
- [2] 横河電機株式会社、“シーケンス CPU 説明書 機能編 (F3SP71,76,-□N/-□S 対応) ”、A7-4、スキャンタイム計算例。
- [3] 横河電機株式会社、“シーケンス CPU 説明書 機能編 (F3SP22,28,38,53,58,59,-□N/-□H/-□S 対応) ”、7-4、スキャンタイム計算例。
- [4] 横河電機株式会社、“シーケンス CPU 説明書 機能編 (F3SP71,76,-□N/-□S 対応) ”、A4-43、キャッシュレジスタ (F)。