

SiC 半導体を用いたキッカーマグネット用 40kV-LTD 電源の開発と評価

DEVELOPMENT AND EVALUATION OF 40 KV LTD POWER SUPPLY USING SIC-MOSFET FOR KICKER MAGNET

虫邊 陽一^{#,A)}, 中田 恭輔^{A)}, 森 均^{A)}, 徳地 明^{A)}, 堀野 光喜^{B)}, 小野 礼人^{B)}, 高柳 智弘^{B)}
 Yoichi Mushibe^{#,A)}, Kyosuke Nakata^{A)}, Hitoshi Mori^{A)}, Akira Tokuchi^{A)},
 Koki Horino^{B)}, Ayato Ono^{B)}, Tomohiro Takayanagi^{B)}
^{A)} Pulsed Power Japan Laboratory Ltd. (PPJ)
^{B)} JAEA/J-PARC

Abstract

We have developed a pulsed power supply for the RCS kicker magnets in J-PARC. The power supply has the Linear Transformer Driver (LTD) structure and SiC-MOSFETs were used. The semi-conductor switch could increase the stability of the power supply rather than the thyatron switches which use vacuum discharge. This time, we produced a 40kV/2kA pulse power supply and conducted an output test. In this presentation, we will report the power supply configuration and test results.

1. はじめに

J-PARC RCS[1]キッカーマグネット[2]用に新しいパルス電源を開発している。

RCS では加速されたビームを、電磁石と高電圧パルス電源を組み合わせたシステムによって蹴り出している。現行システムでは、高電圧パルス電源の出力回路のスイッチにはサイラトロンを使用している。サイラトロンは連続使用による性能劣化が欠点であり、サイラトロンを半導体デバイス置き換えることができれば、より安定性の良い電源システムを実現できる見込みがある。

近年、新たなスイッチング素子として SiC 半導体のデバイス開発が進み、より高電圧、より大電流の半導体デバイスが使用可能な状況となりつつある。開発中の電源の概念図を Fig. 1、要求仕様を Table 1 に示す。

2019 年に 20kV/2kA で電源を構成したが、今回は主回路 LTD 基板 52 枚と補正 LTD 基板 20 枚を直列接続して 40kV/2kA のパルス電源を製作し、出力試験を実施した。本発表では電源の構成と試験結果を報告する。

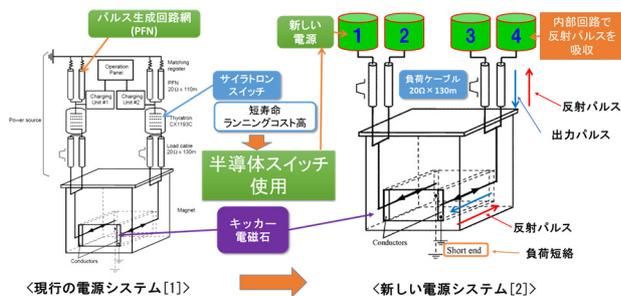


Figure 1: Conceptual diagram of the kicker system.

Table 1: New RCS Kicker Power Supply Specifications

Max output voltage	40 kV
Max output current	4 kA
Withstand voltage for reflected wave	±40 kV
Pulse width of the output waveform	1500 ns
Rise time of the rectangular wave	Under 250 ns
Flat top accuracy (Target value)	±1.0 % (±0.5 %)
Repetition frequency	25 Hz

2. 開発仕様

半導体スイッチと誘導電圧重畳回路を組み合わせた LTD(Linear Transformer Drivers) 方式で電源を構成する[3]。LTD 方式の概念図を Fig. 2 に示す。

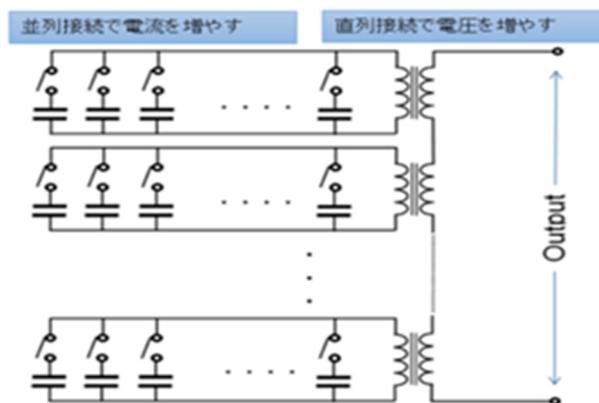


Figure 2: Conceptual diagram of the kicker system.

高電圧パルス波形を出力する主回路 LTD 基板(主基板)と、フラットトップ平坦度を調整する補正回路 LTD 基板(補正基板)の 2 種類を直列に積み上げる[4]。

mushibe@myppj.com

PASJ2020 THPP44

主基板は電圧 800V 出力動作を可能とする。基板 1 枚の SiC パワー-MOSFET 並列数は 15 とする。負荷から電源への反射波を吸収するサージ抵抗を設けている。

補正基板は主基板よりも低い出力電圧にて、フラットトップに生じるドループ補正などの細かな制御ができるようにする。補正基板のパルス出力のタイミングを基板毎に変えることで、出力波形の形成を調整することも可能となる。

主基板外観写真を Fig. 3、主基板の主回路部のブロック図を Fig. 4、主基板 5 枚と補基板 4 枚で構成した LTD 電源の代表波形を Fig. 5 に示す。

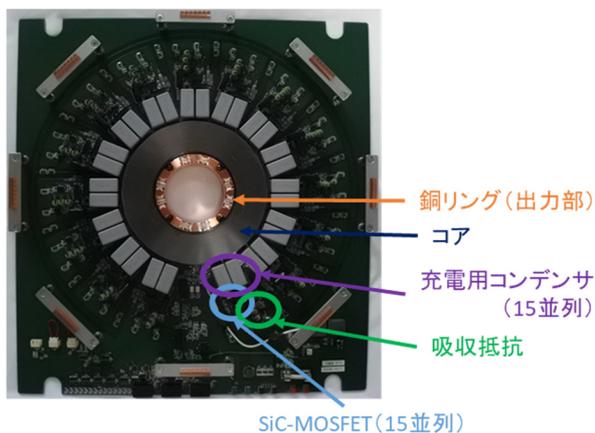


Figure 3: A photo of the main circuit.

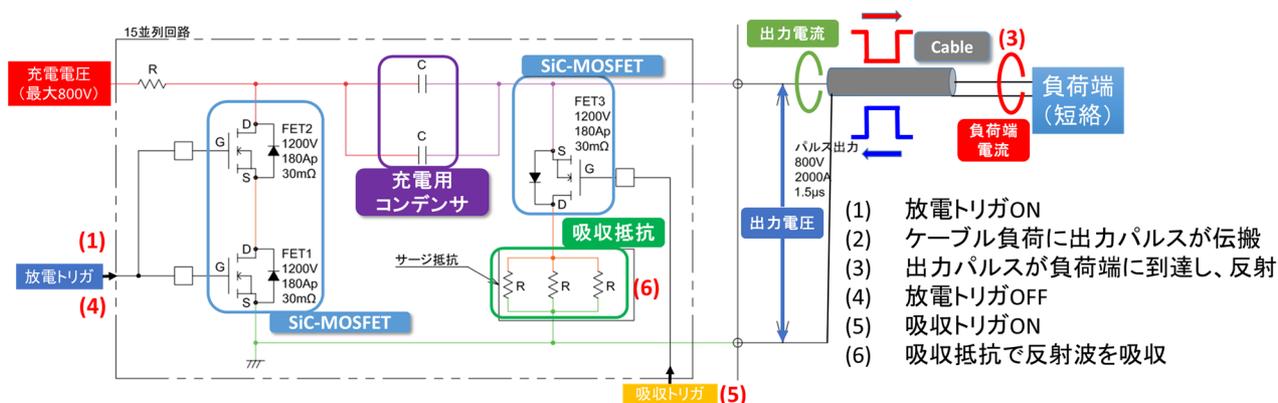


Figure 4: Block diagram of the main circuit.

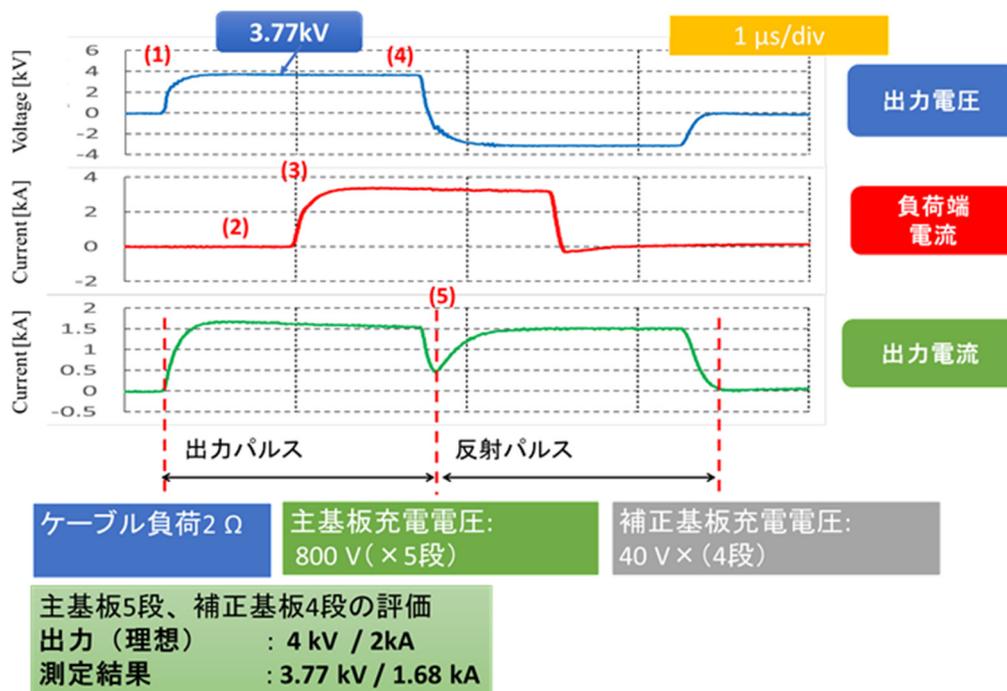


Figure 5: Typical output waveforms.

3. 電源の構成と試験内容

2019年には主基板26枚、補基板14枚を積み上げ、負荷抵抗10Ωを取り付けて20kV/2kAの電源を構成した。その時の基板積み上げ時の外観写真をFig. 6に示す。

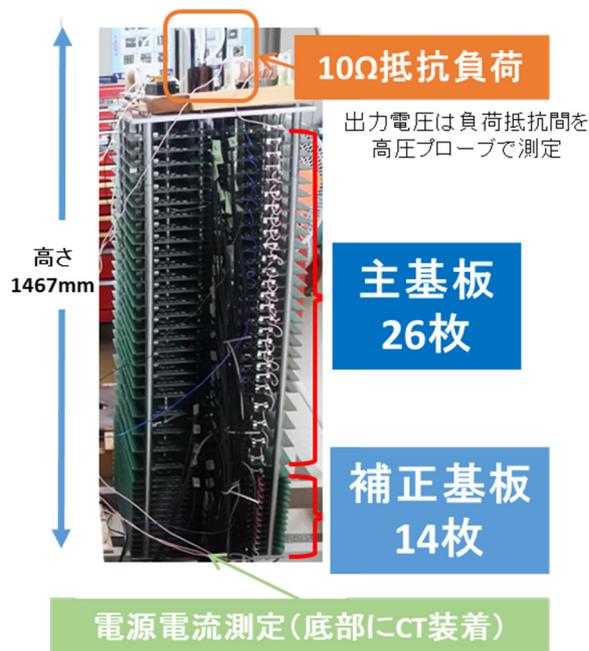
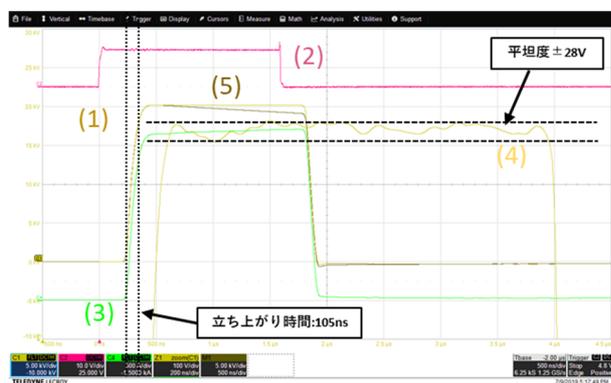


Figure 6: A photo of the stacked LTD (26 main, 14 correct) power supply.

積み上げた電源にて主基板1枚当たり800V充電、補基板1枚当たり84V充電して出力波形の確認試験を実施した。その出力波形をFig. 7、出力特性の目標値と試験結果をTable 2に示す。



- (1) 負荷電圧 (補正有り) 5kV/div 500ns/div
- (2) 主基板トリガパルス
- (3) 電源電流 (補正有り) 500A/div 500ns/div
- (4) 負荷電圧 (補正有り;フラットトップ) 100V/div,200ns/div
- (5) 負荷電圧 (補正無し) 5kV/div 500ns/div

Figure 7: Typical output waveforms of the stacked LTD (26 main, 14 correct) power supply.

Table 2: Target Value of Output Characteristics and Test Results (26 Main, 14 Correct)

	目標	試験結果
出力電圧	20kV以上	20.2kV
出力電流	2kA以上	2.2kA
フラットトップ平坦度	±100V以内 (±0.5%)	±28V (±0.14%)
立ち上がり時間 (10%-90%)	250ns以下	105ns

出力電圧、出力電流、フラットトップ平坦度、立ち上がり時間の目標仕様を達成できた。

フラットトップの平坦は1段ずつ補正電圧の投入タイミングをずらすことで実現している。補正投入数を1段ずつ増やした時の各電圧出力波形をFig. 8に示す。

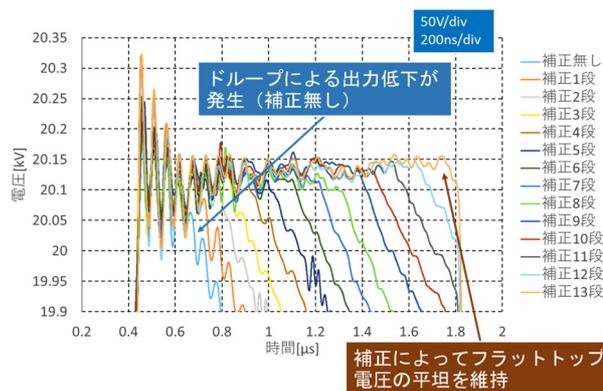


Figure 8: Flat-top correction process of the output voltage.

補正無しでは出力立ち上がり直後にドループによる出力低下が発生しているが、補正を増やすことでフラットトップ電圧の平坦を維持できていることを確認した。

4. 40kV2kA 電源の製作

4.1 追加製作基板の試験

40kV2kAを出力するためにはLTD主基板52枚、補基板20枚が必要となる。今回は不足分の主基板26枚、補基板6枚を追加製作した。その時の基板積み上げ時の外観写真をFig. 9に示す。

負荷抵抗10Ωを取り付けて主基板800V充電、補基板100V充電にて出力電圧・電流波形の確認試験を実施した。その出力波形をFig. 10に示す。

補正基板の枚数不足のためにフラットトップの後半でドループが生じているが、補正有時間の部分では平坦度±30Vでフラットトップを調整できていることを確認した。出力特性の目標値と試験結果をTable 3に示す。

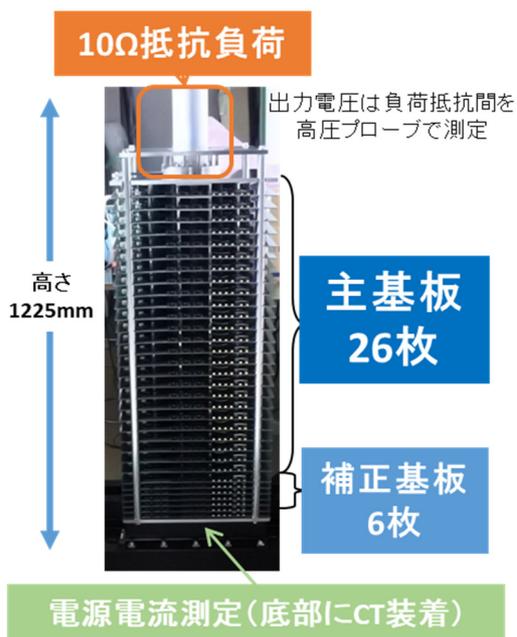
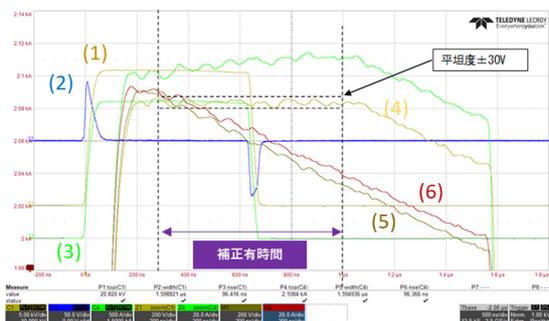


Figure 9: A photo of the stacked LTD (26 main, 6 correct) power supply.



- (1) 負荷電圧 (補正有り) 5kV/div 500ns/div
- (2) ロゴスキーコイル出力電圧 50V/div 500ns/div
- (3) 電源電流 (補正有り) 500A/div 500ns/div
- (4) 負荷電圧 (補正有り;フラットトップ) 200V/div,200ns/div
- (5) 負荷電圧 (補正無し) 5kV/div 500ns/div
- (6) 電源電流 (補正無し) 20A/div 200ns/div

Figure 10: Typical output waveforms of the stacked LTD (26 main, 6 correct) power supply.

Table 3: Target Value of Output Characteristics and Test Results (26 Main, 6 Correct)

	目標	試験結果
出力電圧	20kV以上	20.6kV
出力電流	2kA以上	2.1kA
フラット トップ 平坦度	±100V以内 (±0.5%)	±30V (±0.15%) ただし補正 有時間のみ
立ち上り時 間 (10%-90%)	250ns以下	100ns

4.2 40kV2kA 電源の試験

既製作基板と追加製作基板を組み合わせる LTD 主基板 52 枚、補基板 20 枚で電源を構成した。基板積み上げ時の外観写真を Fig. 11 に示す。

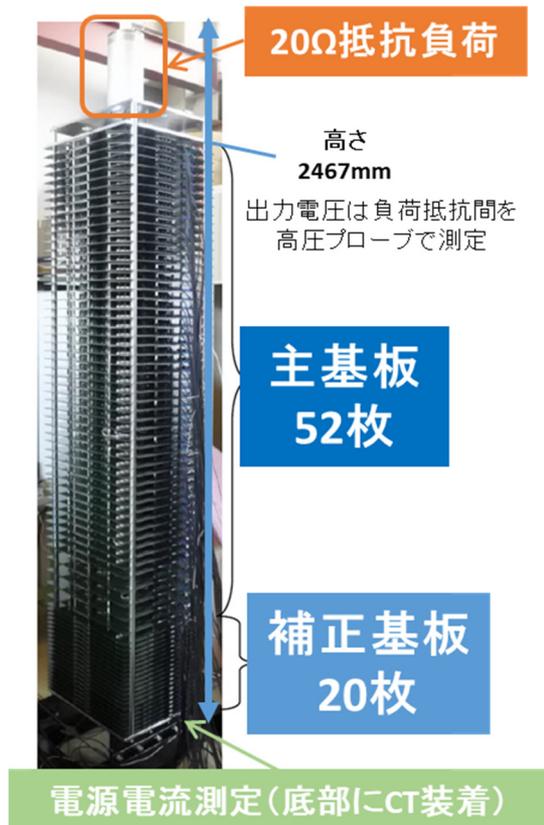


Figure 11: A photo of the stacked LTD (52 main, 20 correct) power supply.

負荷抵抗 20Ω を取り付けて出力波形の確認試験を実施した。出力電圧 40kV にするために主基板 795V 充電、補基板 100V 充電に調整した。その出力波形を Fig. 12 に示す。

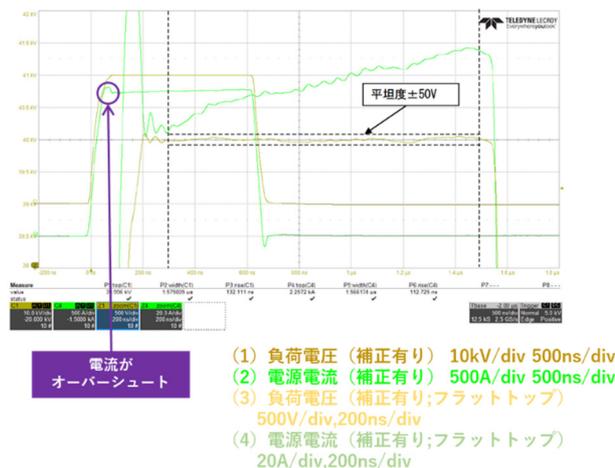


Figure 12: Typical output waveforms of the stacked LTD (52 main, 20 correct) power supply.

電圧波形は出力電圧 40kV でフラットトップ平坦度±50V を実現できたが、電流波形の立ち上がりでオーバーシュートが発生している。原因は高圧印加時にコロナ放電が生じたと考える。

出力特性の目標値と試験結果を Table 4 に示す。

Table 4: Target Value of Output Characteristics and Test Results (52 Main, 20 Correct)

	目標	試験結果
出力電圧	40kV以上	40.0kV
出力電流	2kA以上	2.2kA
フラット トップ 平坦度	±200V以内 (±0.5%)	±50V (±0.13%)
立ち上り時 間 (10%-90%)	250ns以下	140ns

主基板 52 枚、補基板 20 枚にて出力電圧、出力電流、フラットトップ平坦度、立ち上がり時間の目標仕様を達成できた。

5. まとめと今後の課題

新規作成した LTD 基板を用いて 20kV/2kA と 40kV/2kA の出力波形を確認した。結果、出力電圧 40kV 以上でドループ補正ができることを確認した。

40kV 2kA の試験では電流波形に大きなオーバーシュートが見られた。対策として高圧のかかる部分に絶縁油を充填する構造への改良を検討する。

その他、耐電圧の高い素子 (SiC-MOSFET、コンデンサ) に変更して基板 1 枚あたりの電圧を増やすことで、基板積み上げ枚数を減らし、メンテナンス性を向上できるよう検討する。

参考文献

- [1] M. Kinsho, "Status of the J-PARC 3 GeV RCS", in Proc. IPAC'15, Richmond, VA, USA, paper THPF044.
- [2] J. Kamiya *et al.*, "Kicker Magnet System of the RCS in J-PARC", IEEE Transactions on applied superconductivity, Vol.16, No.2, June 2006, pp168-171.
- [3] W. Jiang *et al.*, "Pulsed Power Generation by Solid-State LTD", IEEE Transactions on Plasma Science, Vol.42, No.11, Nov. 2014m pp3603-3608.
- [4] T. Takayanagi *et al.*, "Development of a New Pulsed Power Supply Adopted SiC-MOSFET", in Proc. IPAC'17, WEPVA063.